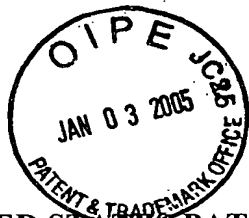


Docket No. 248183US2/tca



IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomoaki SHINO

GAU: 2811

SERIAL NO: 10/767,430

EXAMINER:

FILED: January 30, 2004

FOR: SEMICONDUCTOR DEVICE INCLUDING TRANSISTORS FORMED IN
SEMICONDUCTOR LAYER HAVING SINGLE-CRYSTAL STRUCTURE
ISOLATED FROM SUBSTRATE AND FABRICATION METHOD OF THE
SAME

SUBMISSION NOTICE REGARDING PRIORITY DOCUMENT(S)

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

☒ are submitted herewith

☐ were filed in prior application filed

☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule
17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph Scafetta, Jr.
Registration No. 26,803

Customer Number
22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/04)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 9 4 3 2 1
Application Number:

ST. 10/C] : [J P 2 0 0 3 - 3 9 4 3 2 1]

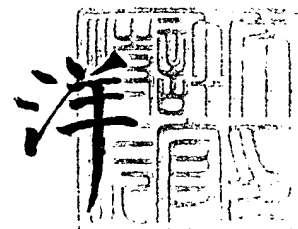
願 人 株式会社東芝
plicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 1 1 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 03P146
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/8242
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地
 株式会社東芝 横浜事業所内
 篠 智彰
 【氏名】
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100092820
 【弁理士】
 【氏名又は名称】 伊丹 勝
【手数料の表示】
 【予納台帳番号】 026893
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9810498

【書類名】 特許請求の範囲**【請求項 1】**

基板と、

単結晶構造を有する第 1 導電型の半導体層と、

前記半導体層上に第 1 ゲート絶縁膜を介して設けられた第 1 ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第 2 導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第 1 導電型のチャンネルボディと、を含む複数のトランジスタと、

前記複数のトランジスタの前記第 1 ゲート電極を共通接続する第 1 ゲート線と、

前記一对の不純物領域下で前記半導体層を支持することにより前記基板と前記半導体層とを絶縁分離すると共に前記第 1 ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、

前記複数のトランジスタの前記チャンネルボディ下で第 2 ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられ、前記第 1 ゲート電極のゲート長の 1 倍より大きく 3 倍以下のゲート長を有する第 2 ゲート電極と、

前記一对の不純物領域下の前記絶縁層に挟まれて前記第 1 ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第 2 ゲート電極を共通接続する第 2 ゲート線と、を備える、

ことを特徴とする半導体装置。

【請求項 2】

前記第 1 ゲート線はワード線を含み、

前記複数のトランジスタの各々は、前記チャンネルボディの多数キャリア蓄積状態によりデータを記憶する記憶トランジスタを含む、

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

基板と、

単結晶構造を有する第 1 導電型の半導体層と、

前記半導体層上に第 1 ゲート絶縁膜を介して設けられた第 1 ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第 2 導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第 1 導電型のチャンネルボディと、を含む複数のトランジスタと、

前記複数のトランジスタの前記第 1 ゲート電極を共通接続する第 1 ゲート線と、

前記一对の不純物領域下で前記半導体層を支持することにより前記基板と前記半導体層とを絶縁分離すると共に前記第 1 ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、

前記複数のトランジスタの前記チャンネルボディ下で第 2 ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられた第 2 ゲート電極と、

前記一对の不純物領域下の前記絶縁層に挟まれて前記第 1 ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第 2 ゲート電極を共通接続する第 2 ゲート線と、

前記複数のトランジスタどうしを絶縁分離すると共に前記半導体層よりも下に位置する底部を有する素子分離部と、を備える、

ことを特徴とする半導体装置。

【請求項 4】

基板と、

単結晶構造を有する第 1 導電型の半導体層と、

前記半導体層上に第 1 ゲート絶縁膜を介して設けられた第 1 ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第 2 導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第 1 導電型のチャンネルボディと、を含む複数のトランジスタと、

前記複数のトランジスタの前記第 1 ゲート電極を共通接続する第 1 ゲート線と、

前記一对の不純物領域下で前記半導体層を支持することにより前記基板と前記半導体層とを絶縁分離すると共に前記第1ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、

前記複数のトランジスタの前記チャンネルボディ下で第2ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられた第2ゲート電極と、

前記一对の不純物領域下の前記絶縁層に挟まれて前記第1ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第2ゲート電極を共通接続する第2ゲート線と、
を備え、

前記半導体層の厚みは、前記チャンネルボディの形成領域の方が前記不純物領域の形成領域よりも小さい、

ことを特徴とする半導体装置。

【請求項5】

絶縁層により基板から絶縁分離されると共に単結晶構造を有する第1導電型の半導体層と、この半導体層上に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第2導電型的一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第1導電型のチャンネルボディと、を含む複数のトランジスタが設けられた半導体装置の製造方法であって、

前記第1ゲート電極を共通接続する第1ゲート線が形成される第1ゲート線形成領域と、前記複数のトランジスタを絶縁分離するための素子分離部が形成される素子分離部形成領域と、が交差する箇所に開口部を有するエッチングストッパを形成する工程と、

前記一对の不純物領域が形成される前記半導体層下を通り前記第1ゲート線形成領域が延びる方向に沿って前記絶縁層が残るように、前記エッチングストッパが形成された状態で前記絶縁層をエッチングすることにより、前記チャンネルボディが形成される前記半導体層下に空洞部を有するエッチング領域を、前記第1ゲート線形成領域が延びる方向に沿って形成する工程と、

前記空洞部で露出する前記半導体層と接触する第2ゲート絶縁膜を形成する工程と、

前記第2ゲート絶縁膜を介して第2ゲート電極が設けられるように、前記第2ゲート電極を共通接続する第2ゲート線を、前記第1ゲート線形成領域が延びる方向に沿って前記エッチング領域に形成する工程と、

前記チャンネルボディが形成される前記半導体層上に前記第1ゲート絶縁膜を介して前記第1ゲート電極が位置するように、前記第1ゲート電極を共通接続する前記第1ゲート線を、前記第1ゲート線形成領域に形成する工程と、を備える、

ことを特徴とする半導体装置の製造方法。

【書類名】明細書**【発明の名称】半導体装置及びその製造方法****【技術分野】****【0001】**

本発明は、例えばSOI (Silicon On Insulator)基板のような半導体基板に形成されたトランジスタを有する半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

半導体装置は、MOSトランジスタ等の素子を半導体基板に形成した構造を有す。半導体装置として、論理回路、DRAMのようなメモリが例示される。最近、従来のDRAM代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体装置が提案されている(特許文献1参照)。メモリセルは、フローティングのボディ(チャネルボディ)を持つ一つのトランジスタにより構成される。このメモリセルは、ボディに過剰の多数キャリアが蓄積された状態を第1データ状態(例えば、データ“1”)、ボディから過剰の多数キャリアが放出された状態を第2データ状態(例えば、データ“0”)として、二値記憶を行う。

【0003】

このようなメモリセルを“FBC (Floating Body Cell)”といい、FBCを用いた半導体装置を“FBCメモリ”という。FBCメモリは、通常のDRAMのようにキャパシタを用いないから、セルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

【0004】

さて、半導体装置の基板としてSOI基板がある。FBCもSOI基板に形成される。SOI基板は、基板上に形成された埋め込み酸化層の上に単結晶構造のシリコン層が配置された構造を有する。埋め込み酸化層により基板とシリコン層とが絶縁分離される。SOI基板を用いると、動作速度の高速化、省電力化等の効果が生じる。

【0005】

しかし、SOI基板を用いても、MOSトランジスタが微細化すると、短チャネル効果が原因となるリーク電流が増大する。これを解決する技術として、トランジスタのチャネルボディを二つのゲート電極で上下に挟んだ構造のダブルゲート型のMOSトランジスタが知られている(特許文献2参照)。

【特許文献1】特開2002-246571(図25)

【特許文献2】特開平14-57337(図5)

【発明の開示】**【発明が解決しようとする課題】****【0006】**

二つのゲート電極のうち一方は、埋め込み酸化層に形成された空洞部に配置される。この酸化層は、シリコン層を支持する機能も有するため、所定の面積を残す必要があり、これがMOSトランジスタのサイズの小型化の妨げとなる。

【0007】

本発明の目的は、サイズを小さくできる半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】**【0008】**

本発明に係る半導体装置の一態様は、基板と、単結晶構造を有する第1導電型の半導体層と、前記半導体層上に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第1導電型のチャネルボディと、を含む複数のトランジスタと、前記複数のトランジスタの前記第1ゲート電極を共通接続する第1ゲート線と、前記一对の不純物領域下で前記半導体層を支持することによ

り前記基板と前記半導体層とを絶縁分離すると共に前記第1ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、前記複数のトランジスタの前記チャンネルボディ下で第2ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられ、前記第1ゲート電極のゲート長の1倍より大きく3倍以下のゲート長を有する第2ゲート電極と、前記一对の不純物領域下の前記絶縁層に挟まれて前記第1ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第2ゲート電極を共通接続する第2ゲート線と、を備える、ことを特徴とする。

【0009】

本発明に係る半導体装置の他の態様は、基板と、単結晶構造を有する第1導電型の半導体層と、前記半導体層上に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第1導電型のチャンネルボディと、を含む複数のトランジスタと、前記複数のトランジスタの前記第1ゲート電極を共通接続する第1ゲート線と、前記一对の不純物領域下で前記半導体層を支持することにより前記基板と前記半導体層とを絶縁分離すると共に前記第1ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、前記複数のトランジスタの前記チャンネルボディ下で第2ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられた第2ゲート電極と、前記一对の不純物領域下の前記絶縁層に挟まれて前記第1ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第2ゲート電極を共通接続する第2ゲート線と、前記複数のトランジスタどうしを絶縁分離すると共に前記半導体層よりも下に位置する底部を有する素子分離部と、を備える、ことを特徴とする。

【0010】

本発明に係る半導体装置のさらに他の態様は、基板と、単結晶構造を有する第1導電型の半導体層と、前記半導体層上に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第1導電型のチャンネルボディと、を含む複数のトランジスタと、前記複数のトランジスタの前記第1ゲート電極を共通接続する第1ゲート線と、前記一对の不純物領域下で前記半導体層を支持することにより前記基板と前記半導体層とを絶縁分離すると共に前記第1ゲート線が延びる方向に沿って前記基板上に設けられた絶縁層と、前記複数のトランジスタの前記チャンネルボディ下で第2ゲート絶縁膜を介して前記チャンネルボディと対向するように前記基板上に設けられた第2ゲート電極と、前記一对の不純物領域下の前記絶縁層に挟まれて前記第1ゲート線が延びる方向に沿って前記基板上に設けられると共に前記第2ゲート電極を共通接続する第2ゲート線と、を備え、前記半導体層の厚みは、前記チャンネルボディの形成領域の方が前記不純物領域の形成領域よりも小さい、ことを特徴とする。

【0011】

本発明に係る半導体装置の製造方法の一態様は、絶縁層により基板から絶縁分離されると共に単結晶構造を有する第1導電型の半導体層と、この半導体層上に第1ゲート絶縁膜を介して設けられた第1ゲート電極と、前記半導体層中に設けられかつドレイン領域及びソース領域となる第2導電型の一对の不純物領域と、これらの不純物領域の間の前記半導体層中に設けられた第1導電型のチャンネルボディと、を含む複数のトランジスタが設けられた半導体装置の製造方法であって、前記第1ゲート電極を共通接続する第1ゲート線が形成される第1ゲート線形成領域と、前記複数のトランジスタを絶縁分離するための素子分離部が形成される素子分離部形成領域と、が交差する箇所に開口部を有するエッチングストッパを形成する工程と、前記一对の不純物領域が形成される前記半導体層下を通り前記第1ゲート線形成領域が延びる方向に沿って前記絶縁層が残るように、前記エッチングストッパが形成された状態で前記絶縁層をエッチングすることにより、前記チャンネルボディが形成される前記半導体層下に空洞部を有するエッチング領域を、前記第1ゲート線形成領域が延びる方向に沿って形成する工程と、前記空洞部で露出する前記半導体層と接触する第2ゲート絶縁膜を形成する工程と、前記第2ゲート絶縁膜を介して第2ゲート電極

が設けられるように、前記第2ゲート電極を共通接続する第2ゲート線を、前記第1ゲート線形成領域が延びる方向に沿って前記エッチング領域に形成する工程と、前記チャネルボディが形成される前記半導体層上に前記第1ゲート絶縁膜を介して前記第1ゲート電極が位置するように、前記第1ゲート電極を共通接続する前記第1ゲート線を、前記第1ゲート線形成領域に形成する工程と、を備える、ことを特徴とする。

【発明の効果】

【0012】

本発明によれば、半導体装置のサイズを小さくすることができる。

【発明を実施するための最良の形態】

【0013】

本発明の実施形態を以下の項目に分けて説明する。

[第1実施形態]

(半導体装置の構造)

(半導体装置の動作)

(バックゲート電極)

(第1実施形態の主な効果)

(半導体装置の製造方法)

(半導体装置の平面構造の変形例)

[第2実施形態]

なお、各実施形態を説明する図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。

【0014】

[第1実施形態]

第1実施形態に係る半導体装置は、FBCメモリである。この半導体装置の主な特徴は、ワード線方向に延びるバックゲート線を、ドレイン領域及びソース領域下に配置されかつワード線方向に延びる埋め込み酸化層で挟んだ構造を有することである。なお、第1実施形態において、メモリセルとして機能する記憶トランジスタはFBCを意味する。

【0015】

(半導体装置の構造)

図1は、第1実施形態に係る半導体装置のセルアレイ1の一部の平面図である。セルアレイ1は、複数の記憶トランジスタMTがマトリクス状に配置された構造を有する。記憶トランジスタMTは、フローティング状態のチャネルボディの多数キャリア蓄積状態によりデータを記憶する。以下、セルアレイ1の平面構造について詳細に説明する。

【0016】

セルアレイ1は、y方向に延びる複数の素子分離部3を備え、これらは隣と間隔を設けて配置されている。素子分離部3間の領域が素子形成領域5となる。素子形成領域5には、ドレイン領域7及びソース領域9となる一対の不純物領域が形成されている。

【0017】

セルアレイ1において、素子分離部3と交差するようにx方向に延びる複数のワード線WL（第1ゲート線の一例）が、隣と間隔を設けて配置されている。ワード線WLと素子形成領域5とが交差する箇所に記憶トランジスタMTが配置される。ワード線WLの下には、x方向、つまりワード線WLが延びる方向に沿ってバックゲート線（第2ゲート線の一例）BGLが設けられている。

【0018】

記憶トランジスタMTは、y方向の両隣の記憶トランジスタMTのうち、一方のトランジスタMTとドレイン領域7を共用し、他方のトランジスタMTとソース領域9を共用している。ドレイン領域7にはドレインプラグDPが接続されている。このプラグDPは、y方向に延びるビット線BLと接続されている。よって、ドレイン領域7には、ワード線WLと交差するビット線BLが接続されている。一方、ソース領域9にはソースプラグSPが接続されており、プラグSPはx方向に延びるソース線SLと接続されている。した

がって、ソース領域 9 には、ワード線 WL が延びる方向に沿って設けられたソース線 SL が接続されている。

【0019】

次に、第 1 実施形態に係るセルアレイの断面構造について、図 2 A、図 2 B、図 2 C 及び図 2 D を用いて説明する。図 2 A、図 2 B、図 2 C、図 2 D は、それぞれ図 1 の A 1 - A 2 線、B 1 - B 2 線、C 1 - C 2 線、D 1 - D 2 線に沿った断面図である。

【0020】

記憶トランジスタ MT は、フローティングのチャネルボディを持つ NMOS トランジスタである。トランジスタ MT は、シリコン基板 11（基板の一例）、埋め込み酸化層 13（絶縁層の一例）、単結晶構造の p 型のシリコン層 15（半導体層の一例）が積層された構造を有する SOI 基板 17 に形成されている。

【0021】

記憶トランジスタ MT は、シリコン層 15 中に形成された n 型の一对の不純物領域であるドレイン領域 7 及びソース領域 9 と、これらの領域 7、9 の間のシリコン層 15 中に設けられた p 型のチャネルボディ 19 と、チャネルボディ 19 上に第 1 ゲート絶縁膜 21 を介して形成されると共にワード線 WL に接続されたフロントゲート電極（第 1 ゲート電極の一例）23 と、を備える。なお、第 1 ゲート絶縁膜 21 をフロントゲート絶縁膜と言うこともできる。

【0022】

ワード線 WL のうち素子形成領域 5 と交差する箇所（図 1 参照）が、フロントゲート電極 23 となる。フロントゲート電極 23 がワード線 WL で共通接続された記憶トランジスタ MT としては、素子分離部 3 により絶縁分離される。

【0023】

チャネルボディ 19 は、フローティングボディである。記憶トランジスタ MT は、チャネルボディ 19 が過剰の多数キャリアを保持する第 1 データ状態と、チャネルボディ 21 が第 1 データ状態より少ない多数キャリアを保持する第 2 データ状態とのいずれかを記憶する。

【0024】

埋め込み酸化層 13 は、ドレイン領域 7 及びソース領域 9 下であって、図 1 のワード線 WL が延びる方向に沿ってシリコン基板 11 上に設けられている。これにより、埋め込み酸化層 13 は、シリコン層 15 とシリコン基板 11 とを絶縁分離すると共にシリコン層 15 を支持する。

【0025】

チャネルボディ 19 下の埋め込み酸化層 13 は除去されている。この箇所にバックゲート電極（第 2 ゲート電極の一例）25 が配置されている。バックゲート電極 25 は、チャネルボディ 19 下で第 2 ゲート絶縁膜 27 を介してチャネルボディ 19 と対向していると共に第 2 ゲート絶縁膜 27 と同時に形成されたシリコン酸化膜 29 を介してシリコン基板 11 上に位置している。バックゲート電極 25 の中心部には空隙 31 がある。これはバックゲート電極 25 となるアモルファスシリコン膜の形成時に生じたものである。なお、第 2 ゲート絶縁膜 27 をバックゲート絶縁膜と言うこともできる。

【0026】

ドレイン領域 7 下の埋め込み酸化層 13 とソース領域 9 下の埋め込み酸化層 13 とで挟まれるように、ワード線 WL が延びる方向に沿ってバックゲート線 BGL が、シリコン基板 11 上に配置されている。この線 BGL は、素子分離部 3 下でシリコン基板 11 と接続されている。バックゲート線 BGL は、同じ行にある記憶トランジスタ MT のバックゲート電極 25 を共通接続する。

【0027】

ドレイン領域 7 やソース領域 9 上にはシリサイド 33 が形成され、フロントゲート電極 23 上にはシリサイド 35 が形成されている。フロントゲート電極 23 の側面には、サイドウォール 37 が設けられている。記憶トランジスタ MT を覆うようにシリサイド 33、

35上にシリコン窒化膜39が形成されている。

【0028】

シリコン窒化膜39上に層間絶縁膜41が形成されている。層間絶縁膜41にはソース領域9と接続するソースプラグSP、ドレイン領域7と接続するドレインプラグDPの下部43がそれぞれ埋め込まれている。層間絶縁膜41は層間絶縁膜45で覆われている。層間絶縁膜45にはソースプラグSPと接続するソース線SLが埋め込まれている。また、膜45には、ドレインプラグDPの下部43と接続するドレインプラグDPの中間部47が埋め込まれている。

【0029】

層間絶縁膜45上には層間絶縁膜49が形成されている。層間絶縁膜49には、ドレインプラグDPの中間部47と接続するドレインプラグDPの上部51が埋め込まれている。ドレインプラグDPは、下部43、中間部47及び上部51で構成されている。層間絶縁膜49上には、ドレインプラグDPと接続されたビット線BLが形成されている。

【0030】

なお、SOI基板17には、論理回路を混載することもできる。図3は、この論理回路の構成要素となるPMOSトランジスタPQとNMOSトランジスタNQの断面図である。これらのロジックトランジスタは、シリコン層15に形成される。

【0031】

ロジックトランジスタの形成領域では、厚い埋め込み酸化層13により、シリコン基板11とシリコン層15との寄生容量を小さくしている。これにより、高速かつ低消費電力の論理回路を実現している。一方、記憶トランジスタの形成領域には、図2Aに示すようにバックゲート電極25を形成しているので、後述の（バックゲート電極）の欄で説明するように、データの保持時間が長い記憶トランジスタMTを実現できる。

【0032】

（半導体装置の動作）

半導体装置の動作について図4～図6で説明する。図4～図6は、記憶トランジスタMTの断面の模式図である。図4はデータ“1”の書込み動作、図5はデータ“0”の書込み動作、図6はデータの読出し動作を示している。

【0033】

図4に示すように、記憶トランジスタMTへのデータ“1”の書込みには、記憶トランジスタMTに大きなチャネル電流が流れるバイアス条件を与える。例えば、ワード線WLに1.5V、ビット線BLに1.5Vを印加する。これにより、ドレイン領域7近傍でインパクトイオン化により発生する多数キャリア（図の例ではホールhole）をチャネルボディ19に蓄積する。

【0034】

一方、データ“0”書込みは、図5に示すように、例えばワード線WLに1.5V、ビット線BLに-1Vを印加する。これにより、ドレイン領域7とチャネルボディ19の間のPN接合を順バイアス状態として、ボディ19の多数キャリアをドレイン領域7側に放出させる。

【0035】

ボディ19のキャリア蓄積状態の相違は、記憶トランジスタMTのしきい値の相違として現れる。従って、図6に示すように、例えばワード線WLに1.5V、ビット線BLに0.2Vを与えて、セル電流の有無又は大小を検出することにより、データ“0”、“1”の読出しができる。

【0036】

図7は、記憶トランジスタMTのドレイン電流 I_{ds} —ゲート電圧 V_{gs} 特性をデータ“0”、“1”について示している。なお、チャネルボディ19の過剰の多数キャリアは、長時間放置すると、ドレイン領域7、ソース領域9との間のPN接合を介して抜ける。従って、DRAMと同様に一定周期でリフレッシュ動作を行うことが必要である。

【0037】

(バックゲート電極)

図2Cや図4に示すように、バックゲート電極25、第2ゲート絶縁膜27及びチャネルボディ19によりキャパシタCが構成される。キャパシタCにより、チャネルボディ19に蓄積されるホールを増やしている。これにより、データの保持時間の長い記憶トランジスタにしている。そして、半導体装置の動作の際、バックゲート電極25の電位は例えば-2Vに固定される。これにより、キャパシタCにホールが蓄積され易いようにしている。このように、バックゲート電極25は所定の電位にされており、このための電圧がバックゲート線BGLを介して配線層から供給される。バックゲート線と配線層との接続箇所の形態としては、次の二つがある。

【0038】

まず、一つ目を図8で説明する。図8はバックゲート線と配線層との接続部の断面図である。セルアレイが形成された領域のシリコン基板11に n^- 型拡散層が形成されている。上記接続部において、シリコン基板(n^- 型拡散層)11の表面に n^+ 型拡散層57が形成され、拡散層57の表面にシリサイド59が形成されている。拡散層57及びシリサイド59上には、埋め込み酸化層13及び素子分離部3が設けられておらず、シリコン窒化膜39を介して層間絶縁膜41が設けられている。層間絶縁膜41及びシリコン窒化膜39には、プラグ61が埋め込まれている。プラグ61は、その上端側で配線層(図示せず)と接続される。プラグ61の下端はシリサイド59とコンタクトしている。

【0039】

一方、図1、図2A及び図2Bに示すように、バックゲート電極25はバックゲート線BGLに接続され、この線BGLはシリコン基板(n^- 型拡散層)11とコンタクトしている。したがって、各バックゲート線BGLは、シリコン基板(n^- 型拡散層)11、 n^+ 型拡散層57及びシリサイド59を介してプラグ61に共通接続される。

【0040】

次に、二つ目を図9で説明する。図9は、バックゲート線と配線層との接続部の断面図である。一つ目では、各バックゲート線BGLがプラグ61に共通接続されているので、各バックゲート線BGLの電位を独立制御できない。これに対して、二つ目では、各バックゲート線BGLの電位を独立制御できるようにしている。以下、詳細に説明する。

【0041】

まずセルアレイ内では、図2B、図2Cとは異なり、各バックゲート線BGLは、シリコン酸化膜29によりシリコン基板11と絶縁分離されている。図1には図示していないが、各バックゲート線BGL上には、ワード線WLが分断されている部分がある(あるいは、図1には図示していないが、各バックゲート線BGL上にワード線WLを配置しない領域をセルアレイのある部分に設ける)。この部分が図9の接続部となる。この接続部には、シリサイド33及びシリコン層15が形成されていない。プラグ61の下端がバックゲート線BGLに形成されたシリサイド63にコンタクトしている。

【0042】

以上のように、バックゲート線BGL及びプラグ61をシリコン基板11と絶縁分離すると共に各バックゲート線BGLを異なるプラグ61と接続するようにしている。これにより、各バックゲート線BGLの電位を独立制御することができる。

【0043】

(第1実施形態の主な効果)

第1実施形態の主な効果を第1及び第2比較例と比較しながら説明する。図10は、第1比較例に係るセルアレイの一部の平面図である。図11は、図10のA1-A2線に沿った断面図である。図12は、図10のB1-B2線に沿った断面図である。図13は、図10のC1-C2線に沿った断面図である。図14は、第2比較例の断面図であり、第1比較例の図13と対応する。

【0044】

第1及び第2比較例では、バックゲート電極ではなく、側面電極53が設けられている。図13に示すように、第1比較例の側面電極53は、チャネルボディ19の側面と対向

するように素子分離部 3 下に設けられている。第 2 比較例の側面電極 5 3 は、図 1 4 に示すように、チャンネルボディ 1 9 の側面及び底面と対向するように設けられている。

【0045】

側面電極 5 3 は、バックゲート電極 2 5 と同様の機能を有する。つまり、図 1 3 及び図 1 4 に示すように、側面電極 5 3、絶縁膜及びチャンネルボディ 1 9 でキャパシタ C が構成され、キャパシタ C により、チャンネルボディ 1 9 に蓄積されるホールを増やしている。第 2 比較例は、側面電極 5 3 がボディ 1 9 の底面でも対向しているため、第 1 比較例よりも、チャンネルボディ 1 9 に蓄積されるホールをさらに増やすことができる。

【0046】

効果 1：

第 1 実施形態は第 1 及び第 2 比較例に比べてリーク電流を小さくできる。この理由を説明する。図 1 3 に示すように、第 1 比較例では、埋め込み酸化層 1 3 をウエットエッチングして、そのエッチングされた箇所側に側面電極 5 3 を埋め込んでいる。ウエットエッチングなので、埋め込み酸化層 1 3 は横方向にも削られる。したがって、側面電極 5 3 は、チャンネルボディ 1 9 の底面の縁部と対向する位置にまで延びている。よって、キャパシタ C は角部 5 5 を有する。一方、図 1 4 の第 2 比較例では、側面電極 5 3 がチャンネルボディ 1 9 の側面及び底面と対向しているため、キャパシタ C は角部 5 5 を有する。

【0047】

角部 5 5 では電界が集中するため、角部 5 5 でチャンネルボディ 1 9 と側面電極 5 3 との間にリークパスができやすい。これにより、データ保持時間が短くなる問題が生じる。さらに、電界集中により角部に閾値の低い寄生トランジスタが形成されてしまい、ソース・ドレイン間のリーク電流が増大してしまう。

【0048】

これに対して、図 2 C に示すように、第 1 実施形態では、素子分離部 3 の底部 3 a がチャンネルボディ 1 9 (シリコン層) よりも下に位置している。言い換えれば、バックゲート線 BGL の高さは、この線 BGL とチャンネルボディ 1 9 とがオーバーラップする部分よりもオーバーラップしない部分の方が低くされている。このため、キャパシタ C (図 2 C) には上記角部が生じないため、チャンネルボディ 1 9 と側面電極 5 3 とのリーク電流を小さくできる。また、寄生トランジスタも形成されないため、ソース・ドレイン間のリーク電流も小さくできる。

【0049】

効果 2：

図 1 0 及び図 1 4 に示すように、素子形成領域 5 は、チャンネルボディ 1 9、ドレイン領域 7 及びソース領域 9 で構成される。第 2 比較例では、素子形成領域 5 下にまで側面電極 5 3 が延びている。このため、素子形成領域 5 下には埋め込み酸化層 1 3 がない。

【0050】

埋め込み酸化層 1 3 は、素子形成領域 5 (シリコン層) を支持する機能を有する。第 2 比較例では、図 1 0 のソース領域を x 方向に共通接続するシリコン層を設け、その下に残された埋め込み酸化層で素子形成領域 5 を支持しなくてはならない。ソース領域を共通接続するシリコン層の幅 w1 が小さすぎると、その下の酸化膜 1 3 が横方向に削られて完全になくなるため素子形成領域 5 (シリコン層) が自重により陥没する。この陥没を防ぐために埋め込み酸化膜の幅を 1 F 確保するには、埋め込み酸化膜 1 3 が横方向に両側あわせて 1.5 F 分削られることを見込み、幅 w1 を 2.5 F まで大きくする必要があるため、記憶トランジスタのサイズ (セルサイズ) が大きくなってしまう。ここで、「F」はリソグラフィ技術で決まる加工最小寸法である。

【0051】

一方、第 1 実施形態では、図 1、図 2 A 及び図 2 B に示すように、ドレイン領域 7 及びソース領域 9 下でシリコン層 1 5 を支持する、シリコン基板 1 1 上に設けられた埋め込み酸化層 1 3 を備える。この埋め込み酸化層 1 3 により、素子形成領域 5 (シリコン層) の機械的強度を確保している。

【0052】

第1実施形態は第2比較例と異なり、シリコン層15はドレイン領域7下でも埋め込み酸化層13で支持される。このため、ソース領域9下の埋め込み酸化層13の幅を、第2比較例よりも小さくできる。よって、第1実施形態によれば、記憶トランジスタMTのサイズを小さくすることができる。

【0053】

このサイズの一例は次の通りである。図1及び図2Aに示すように、バックゲート電極25のゲート長（つまり、バックゲート電極25の幅） L_1 は $2.5F$ である。よって、記憶トランジスタのサイズ（セルサイズ） S は、 $7.0F^2$ （ $=3.5F \times 2.0F$ ）となる。バックゲート電極25のゲート長 L_1 は、フロントゲート電極23（ワード線WL）のゲート長 L_2 （ $=1F$ ）より大きくする必要がある。そうしないと、ワード線WLのパターンとバックワード線BGLのパターンの合わせずれが生じた場合、ワード線WLによって位置が規定されるチャンネルボディ19の一部がバックゲート電極25の外側に位置してしまい、チャンネルボディとバックゲート電極との間の容量が低下してしまう。また埋め込み酸化膜13の幅は $1F$ が確保されており、 2.5 倍の素子形成領域5（シリコン層）が自重により陥没しない。実験によれば埋め込み酸化膜13の幅の5倍の素子領域5でも陥没がないことを確認している。しかし、バックゲート線BGLのゲート長 L_1 を無駄に大きくするとセルサイズが大きくなるばかりか、後述するように寄生容量も増大するため、3倍程度とすることが好ましい。このように、第1実施形態によれば、バックワード線BGLのゲート長 L_1 をフロントゲート電極23（ワード線WL）のゲート長 L_2 のゲート長の1倍より大きく3倍以下に設定することにより、記憶トランジスタのサイズの小型化を実現できる。

【0054】

効果3:

図14の第2比較例では、チャンネルボディ19と同様にドレイン領域においても、その側面及び底面と対向するように側面電極53が配置されている。したがって、ドレイン領域と側面電極53とがオーバーラップする面積が大きくなり、これに伴ってドレイン領域と側面電極53で構成される寄生容量も大きくなる。この寄生容量が大きくなると、ビット線BLの電位の切り替えの高速化が困難となる。

【0055】

これに対して、図2Aに示すように、第1実施形態では、ドレイン領域7下に厚い埋め込み酸化層13が配置されている。このため、ドレイン領域7が、薄い第2ゲート絶縁膜27を介してバックゲート電極25とオーバーラップする面積を小さくできる。バックワード線BGLのゲート長 L_1 をフロントゲート電極23（ワード線WL）のゲート長 L_2 の3倍に設定した場合は、バックワード線BGLの全容量のうち寄生容量の比率は3分の2だけとなる。したがって、ドレイン領域7とバックゲート電極25で構成される寄生容量を小さくできるので、ビット線BLの電位の切り替えの高速化を実現できる。

【0056】

（半導体装置の製造方法）

第1実施形態に係る半導体装置の製造方法について、図15～図26を用いて説明する。これらの図は、この製造方法を工程順に示すSOI基板等の断面図である。これらの図で、A1-A2断面は図2Aと、B1-B2断面は図2Bと、C1-C2断面は図2Cと、D1-D2断面は図2Dと、それぞれ対応する。

【0057】

図15A、図15B、図15C及び図15Dに示すように、SOI基板17を準備する。SOI基板17は、支持基板となるシリコン基板11、埋め込み酸化層13（厚さ例えば150nm）、単結晶のp型のシリコン層15（厚さ例えば60nm）が積層された構造を有する。

【0058】

次に、シリコン層15を覆うように、熱酸化によって厚さ2nmのシリコン酸化膜（図

示せず)、CVD (Chemical Vapor Deposition)により厚さ180 nmのシリコン窒化膜65 (エッチングストップの下層部の一例)、CVDにより厚さ180 nmのシリコン酸化膜67を、順に形成する。

【0059】

図16A、図16B、図16C及び図16Dに示すように、シリコン酸化膜67上にフォトリソグラフィによりレジストパターン69を形成する。図27は、レジストパターン69の平面図である。レジストパターン69は、素子分離部3 (図1) が形成される素子分離部形成領域R2のパターンに対応する開口部71と、素子形成領域5 (図1) のパターンに対応するレジスト部73とを有する。なお、R1はワード線WLが形成されるワード線形成領域 (第1ゲート線形成領域の一例) を示している。

【0060】

レジストパターン69をマスクにして、反応性イオンエッチングにより、シリコン酸化膜67、シリコン窒化膜65、シリコン層15を選択的に除去する。つまり、素子分離部形成領域R2の膜や層を選択的に除去する。そして、図17A、図17B、図17C及び図17Dに示すように、レジストパターン69を剥離し、シリコン酸化膜67を除去する。

【0061】

次に、図18A、図18B、図18C及び図18Dに示すように、シリコン層15の側面に厚さ2 nmの熱酸化膜 (図示せず) を形成する。その後、シリコン窒化膜65及び埋め込み酸化層13を覆うように、CVDにより、厚さ10 nmのシリコン窒化膜77 (エッチングストップの上層部の一例) を形成する。窒化膜77上に段差を軽減するためのレジスト79を形成した後、この上にSOG (Spin On Glass) 膜81を形成する。

【0062】

そして、レジストパターン83をフォトリソグラフィによりSOG膜81上に形成する。レジストパターン83の平面図を図28に示す。パターン83は、レジスト部85とワード線形成領域R1に対応する開口部87とを有する。

【0063】

図19A、図19B、図19C及び図19Dに示すように、レジストパターン83をマスクにして、反応性イオンエッチングにより、SOG膜81、レジスト79、シリコン窒化膜77 (エッチングストップの上層部の一例) 及び埋め込み酸化層13を選択的に除去する。

【0064】

そして、図20A、図20B、図20C及び図20Dに示すように、レジストパターン83、SOG膜81及びレジスト79を除去する。シリコン窒化膜65、77によりエッチングストップ89が構成される。

【0065】

図29は、エッチングストップ89の平面図である。シリコン窒化膜65、77のいずれも除去されている箇所が、エッチングストップ89の開口部91となる。つまり、開口部91は、ワード線形成領域R1と素子分離部形成領域R2とが交差する箇所に位置している。

【0066】

図21A、図21B、図21C及び図21Dに示すように、エッチングストップ89が形成された状態で、弗化アンモニウムにより、埋め込み酸化層13をウエットエッチングする。埋め込み酸化層13のエッチングは、開口部91付近から等方性に進む。図30は、隣り合う開口部91付近の平面図である。開口部91から約0.75 Fだけ埋め込み酸化層13をエッチングして、隣り合うエッチング領域93を連結させる。エッチング量が0.5 Fならば、隣のエッチング領域93と連結することが可能であるが、連結を確実にするために、エッチング量を約0.75 Fにしている。

【0067】

このエッチングにより、チャネルボディが形成されるシリコン層15下に空洞部95を

有するエッチング領域 93 が形成されている。図 31 はエッチング領域 93 の平面図である。エッチング領域 93 は、ワード線形成領域 R1 の方向に沿って形成されている。ドレイン領域やソース領域が形成されるシリコン層 15 下を通りワード線形成領域 R1 が延びる方向に沿って埋め込み酸化層 13 が残されている。これらストライプ状に残された埋め込み酸化層 13 により、シリコン層 15 がその自重により陥没するのを防いでいる。

【0068】

弗化アンモニウムによるエッチングの終了後、ケミカルドライエッチング(CDE: Chemical Dry Etching)により、空洞部 95 で露出しているシリコン層 15 をエッチングして、シリコン層 15 の厚みを例えば、30 nm 程度にする。この露出しているシリコン層 15 にチャネルボディが形成される。したがって、シリコン層 15 の厚みは、チャネルボディ形成領域 R3 (図 21A) の方がドレイン領域やソース領域が形成される不純物領域形成領域 R4 (図 21A) よりも小さくなる。シリコン層 15 の厚みを薄くする工程は必須ではなく、必要に応じて行えばよい。

【0069】

チャネルボディを薄くすることで、次の(1)、(2)の効果が生じる。(1) チャネルボディとドレイン領域(ソース領域)との接合容量を小さくできるので、データ“0”とデータ“1”との信号差を大きくできる。これにより、誤ったデータ読出しを防止できる。(2) チャネルボディとドレイン領域(ソース領域)との間のリーク電流が減少するため、データ保持時間を長くできる。以上のように、チャネルボディを薄くすることで、第1実施形態に係る半導体装置(DRAM)の性能を向上させることができる。

【0070】

一方、不純物領域形成領域 R4 は比較的厚いため、ドレイン領域やソース領域の寄生抵抗を低減することができる。その理由を詳しく説明すると、ドレイン領域やソース領域の n 型不純物を高濃度とすることができる。膜厚が薄い領域に高いドーズ量で n 型不純物をイオン注入してしまうと半導体層全体がアモルファス化してしまい、その後の熱工程によって再結晶化しないため高抵抗化してしまう。膜厚が厚ければ高いドーズ量で n 型不純物をイオン注入しても半導体層の低部に単結晶層が残るので、その後の熱工程により再結晶化する。さらに、n 型不純物の濃度が薄いと、シリサイドを形成した場合、シリサイドと半導体層の界面抵抗が高くなってしまうのである。

【0071】

また、図 3 に示す論理回路を混載する場合、シリコン層 15 の厚みは、論理回路の形成領域の方が記憶トランジスタの形成領域よりも大きくしてもよい。これによれば、論理回路のドレイン領域やソース領域の寄生抵抗を低減できると共に記憶トランジスタは、上記チャネルボディを薄くすることによる効果を得ることができる。

【0072】

次の工程を説明する。図 22A、図 22B、図 22C 及び図 22D に示すように、シリコン窒化膜 77 を異方性エッチングする。そして、熱酸化により、露出するシリコン基板 11 及びシリコン層 15 にシリコン酸化膜 29 を形成する。空洞部 95 で露出するシリコン層 15 と接触するシリコン酸化膜 29 が、第2ゲート絶縁膜 27 となる。第2ゲート絶縁膜 27 の厚みは 10 nm 程度である。次に、CVD により厚さ 50 nm 程度のアモルファスシリコン膜 96 を形成し、この膜 96 を異方性エッチングする。

【0073】

図 23A、図 23B、図 23C 及び図 23D に示すように、弗化アンモニウムにより、露出するシリコン酸化膜 29 を除去した後、CVD (気相成長の一例)により、砒素がドーピングされたアモルファスシリコン膜 97 (導電膜の一例)をエッチング領域 93 に形成する。この膜 97 の厚みは、溝 R2 を埋め込むのに十分な膜厚、例えば R2 の幅以上の膜厚とする(幅が 200 nm であれば、厚みを 200 nm 以上とする)。

【0074】

次に、図 24A、図 24B、図 24C 及び図 24D に示すように、隣り合う素子分離部形成領域 R2 間、つまり素子形成領域 5 にエッチングストッパ 89 が残された状態で、ア

モルファスシリコン膜 97 (導電膜の一例) を、異方性エッチングによりエッチバックする。これにより、素子分離部形成領域 R2 のアモルファスシリコン膜 97 を薄くして、バックゲート線 BGL をパターンニングする。言い換えれば、第 2 ゲート絶縁膜 27 を介してバックゲート電極 25 が設けられるように、ワード線形成領域 R1 の方向に沿って、バックゲート電極 25 を共通接続するバックゲート線 BGL をエッチング領域 93 にパターンニングする。

【0075】

このパターンニングにおいて、素子分離部形成領域 R2 の膜 97 がシリコン層 15 よりも下に位置するようにされている (図 24C)。これにより、後の工程で形成される素子分離部において、その底部がシリコン層 15 よりも下に位置するようにできる。

【0076】

図 24 (B) および図 24 (D) に示すように、埋め込み酸化膜 13 上にアモルファスシリコン膜 97 が残存しないようにしている。これによってバックワード線 BGL を互いに分離している。このことは、バックゲート線 BGL をシリコン基板 11 と絶縁分離し各バックゲート線 BGL の電位を独立制御する場合には必須のことである。しかし、バックゲート線 BGL をシリコン基板 11 に共通接続する場合は、埋め込み酸化膜 13 上にアモルファスシリコン膜 97 を残存させてもかまわない。

【0077】

バックゲート線 BGL のパターンニング後、熱燐酸により、素子形成領域 5 上のシリコン窒化膜 65 が 30 nm 程度後退するまで、シリコン窒化膜 65 をエッチングする。

【0078】

図 25A、図 25B、図 25C 及び図 25D に示すように、熱酸化により、シリコン層 15 の側壁に熱酸化膜 (図示せず) を形成した後、素子分離部となるシリコン酸化膜 99 を SOI 基板 17 の全面に CVD により形成する。次に、シリコン窒化膜 65 をストップにして、CMP (Chemical Mechanical Polishing) により、シリコン酸化膜 99 を平坦化する。

【0079】

そして、図 26A、図 26B、図 26C 及び図 26D に示すように、熱燐酸により、シリコン窒化膜 65 を除去する。これにより、素子分離部 3 が形成される。素子分離部 3 の上部 3b は、シリコン層 15 より上に位置している。これにより、以後の工程のウェットエッチングの際に素子分離部 3 が多少削れても、バックゲート線 BGL が露出するのを防止できる。

【0080】

素子分離部 3 の形成後、セルアレイ部のシリコン基板 11 に n^- 型拡散層を形成するために、加速エネルギー 300 keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入する。次に、記憶トランジスタ MT の閾値を調整するためにシリコン層 15 に不純物をイオン注入する。そして、この不純物を活性化させる。シリコン層 15 の不純物濃度を下げて、チャネルボディ 19 が完全空乏化するようにしてもよい。この場合でも、バックゲート電極 25 にマイナス電位を与えることにより、チャネルボディ 19 の底部がホールの蓄積状態で、記憶トランジスタを動作させる。

【0081】

図 2A、図 2B、図 2C 及び図 2D に示すように、熱酸化により、シリコン層 15 上に第 1 ゲート絶縁膜 21 を形成する。そして、第 1 ゲート絶縁膜 21 上に CVD によりポリシリコン膜を形成して、このポリシリコン膜をパターンニングする。これにより、ワード線 WL を隣と間隔を設けて形成する。詳細には、チャネルボディ 19 が形成されるシリコン層 15 上に第 1 ゲート絶縁膜 21 を介してフロントゲート電極 23 が位置するように、この電極 23 を共通接続するワード線 WL が、ワード線形成領域 R1 に形成される。

【0082】

その後、フロントゲート電極 23 の側面にサイドウォール 37 を形成し、シリコン層 15 中にドレイン領域 7 及びソース領域 9 を形成する。これらの領域 7、9 のシリコン層 1

5上に、選択エピタキシャル成長により新たにシリコン層を形成する。そして、シリサイド33、35を形成する。新たなシリコン層により、シリサイド33と第2ゲート絶縁膜27とを離すことができる。これらが離れていないと、シリサイド33から拡散する金属原子により、バックゲート電極25とドレイン領域7（ソース領域9）との間のリーク電流が増大するのである。

【0083】

そして、層間絶縁膜41等を形成した後、ソース領域9に接続するソース線SLを隣と間隔を設けてワード線WLに沿って形成する。その後、ドレイン領域7に接続するビット線BLを隣と間隔を設けてワード線WLと交差するように形成する。

【0084】

（半導体装置の平面構造の変形例）

図1に示すように、素子分離部3は、y方向（ワード線WLと交差する方向）において連続しているが、分断されていてもよい。これを変形例として説明する。図32は第1実施形態に係る半導体装置の平面構造の変形例を示しており、図1と対応する。二本のワード線WL毎に素子分離部3が分断されている。

【0085】

しかしながら図1に示す平面構造は、図32に示す平面構造に比べて、次の二点で有利である。まず、一つ目を説明する。ゲート幅W（図32）のばらつきが大きいと、記憶トランジスタMTの閾値および電流値に大きなばらつきが生じる。記憶トランジスタMTでは、データ“1”の場合の閾値とデータ“0”の場合の閾値との差を利用して読み出し電流に差を生じさせ、データの読出しをする。したがって、閾値に大きなばらつきが生じると、データの誤った読出しが発生することがある。ゲート幅Wがばらついた時にたとえ閾値がばらつかない場合でも、電流値のばらつきが生じるため、データの読み出しマージンが低下し、メモリの歩留まりが低下する。

【0086】

素子分離部3のパターンは角部3cで丸みを帯びるため、これが原因でゲート幅Wが変動する。図1の素子分離部3は連続しているので、図32の素子分離部3に比べて領域3の角部が少なくなる。よって、図1の構造によれば、ゲート幅Wの変動量を小さくできるので、閾値および電流値のばらつきが小さくなり、したがって、データの誤った読出しが起こりにくくなる。

【0087】

次に二つ目を説明する。図1の構造は素子分離部3が連続しているため、ソース領域9が素子分離部3により分断される。したがって、バックゲート線BGLとソース領域9とのオーバーラップ面積は、図1の構造の方が図32の構造よりも小さくなる。よって、図1の構造によればリーク電流を小さくできる。

【0088】

[第2実施形態]

第2実施形態に係る半導体装置は、論理回路を構成するトランジスタ（以下、ロジックトランジスタという）101である。図33は、このトランジスタ101の平面図であり、図1と対応する。トランジスタQは図1の記憶トランジスタMTに相当する。ロジックトランジスタ101は、三つのトランジスタQで構成される。よって、トランジスタ101のチャンネルボディのチャンネル幅は一つのトランジスタQのその3倍となるため、一つのトランジスタQよりも大きな電流を流すことができ、したがって高速動作が可能となる。

【0089】

ロジックトランジスタQの構造を詳細に説明すると、トランジスタQの各フロントゲート電極は一本のゲート線（第1ゲート線の一例）GLに共通接続され、各バックゲート電極は一本のバックゲート線BGLに共通接続されている。また、トランジスタQの一方のソース／ドレイン領域103は配線層105に共通接続され、他方のソース／ドレイン領域107は配線層109に共通接続されている。なお、ソース／ドレイン領域とは、ソー

ス領域及びドレイン領域の少なくとも一方の機能を有する領域である。第2実施形態に係る半導体装置の断面構造や製造方法は第1実施形態と同様である。

【0090】

バックゲート線BGLの電位を固定することにより、ドレインの電界の広がりを抑えることができる。よって、トランジスタ101において、短チャネル効果の影響を小さくすることができる。第2実施形態も第1実施形態と同様の理由で素子分離部の底部がチャネルボディよりも下に位置する構造によりリーク電流を減らすことができる。また、各バックゲート電極のゲート長を各フロントゲート電極のゲート長の1倍より大きく3倍以下とすることで、トランジスタQのサイズを小さくできることや寄生容量を低減することができること等の効果を有する。チャネルボディだけを薄くする構造により接合容量と寄生抵抗を低減することができる。以上述べたロジックトランジスタにおけるこれらの効果により、高速かつ低消費電力で動作する論理回路を実現することができる。

【0091】

なお、ロジックトランジスタ101を構成するトランジスタQの数は三つに限定されず、ロジックトランジスタに要求される特性等を考慮して、その数を決めることができる。

【0092】

また、第2実施形態は、ゲート線GL、バックゲート線BGLがそれぞれストライプ状に設けられた構造でもよい。図34は、この構造の平面図であり、図33と対応する。図34のロジックトランジスタ111は、図33のロジックトランジスタ101を二つ並べた構造を有する。詳細に説明すると、トランジスタ101の一方と他方は、ソース/ドレイン領域107を共用している。また、トランジスタ101の一方と他方のソース/ドレイン領域103は、配線層105に共通接続されている。トランジスタ101の一方と他方のゲート線GLどうしは接続され、バックゲート線BGLどうしは接続されている。これにより、一つのロジックトランジスタ111が六個のトランジスタQにより構成される。

【図面の簡単な説明】

【0093】

【図1】 第1実施形態に係る半導体装置のセルアレイの一部の平面図である。

【図2A】 図1のA1-A2線に沿った断面図である。

【図2B】 図1のB1-B2線に沿った断面図である。

【図2C】 図1のC1-C2線に沿った断面図である。

【図2D】 図1のD1-D2線に沿った断面図である。

【図3】 第1実施形態に係る半導体装置と混載される論理回路の構成要素となるトランジスタの断面図である。

【図4】 第1実施形態に係る記憶トランジスタの“1”書込み動作を説明するための図である。

【図5】 同記憶トランジスタの“0”書込み動作を説明するための図である。

【図6】 同記憶トランジスタの読出し動作を説明するための図である。

【図7】 同記憶トランジスタの電圧-電流特性を示す図である。

【図8】 第1実施形態に係るバックゲート電極と配線層との接続部の一例の断面図である。

【図9】 第1実施形態に係るバックゲート電極と配線層との接続部の他の例の断面図である。

【図10】 第1比較例に係るセルアレイの一部の平面図である。

【図11】 図10のA1-A2線に沿った断面図である。

【図12】 図10のB1-B2線に沿った断面図である。

【図13】 図10のC1-C2線に沿った断面図である。

【図14】 第2比較例の断面図である。

【図15A】 第1実施形態に係る半導体装置の製造方法の第1工程図（A1-A2断面）である。

- 【図 1 5 B】 同第 1 工程図 (B 1 - B 2 断面) である。
- 【図 1 5 C】 同第 1 工程図 (C 1 - C 2 断面) である。
- 【図 1 5 D】 同第 1 工程図 (D 1 - D 2 断面) である。
- 【図 1 6 A】 同第 2 工程図 (A 1 - A 2 断面) である。
- 【図 1 6 B】 同第 2 工程図 (B 1 - B 2 断面) である。
- 【図 1 6 C】 同第 2 工程図 (C 1 - C 2 断面) である。
- 【図 1 6 D】 同第 2 工程図 (D 1 - D 2 断面) である。
- 【図 1 7 A】 同第 3 工程図 (A 1 - A 2 断面) である。
- 【図 1 7 B】 同第 3 工程図 (B 1 - B 2 断面) である。
- 【図 1 7 C】 同第 3 工程図 (C 1 - C 2 断面) である。
- 【図 1 7 D】 同第 3 工程図 (D 1 - D 2 断面) である。
- 【図 1 8 A】 同第 4 工程図 (A 1 - A 2 断面) である。
- 【図 1 8 B】 同第 4 工程図 (B 1 - B 2 断面) である。
- 【図 1 8 C】 同第 4 工程図 (C 1 - C 2 断面) である。
- 【図 1 8 D】 同第 4 工程図 (D 1 - D 2 断面) である。
- 【図 1 9 A】 同第 5 工程図 (A 1 - A 2 断面) である。
- 【図 1 9 B】 同第 5 工程図 (B 1 - B 2 断面) である。
- 【図 1 9 C】 同第 5 工程図 (C 1 - C 2 断面) である。
- 【図 1 9 D】 同第 5 工程図 (D 1 - D 2 断面) である。
- 【図 2 0 A】 同第 6 工程図 (A 1 - A 2 断面) である。
- 【図 2 0 B】 同第 6 工程図 (B 1 - B 2 断面) である。
- 【図 2 0 C】 同第 6 工程図 (C 1 - C 2 断面) である。
- 【図 2 0 D】 同第 6 工程図 (D 1 - D 2 断面) である。
- 【図 2 1 A】 同第 7 工程図 (A 1 - A 2 断面) である。
- 【図 2 1 B】 同第 7 工程図 (B 1 - B 2 断面) である。
- 【図 2 1 C】 同第 7 工程図 (C 1 - C 2 断面) である。
- 【図 2 1 D】 同第 7 工程図 (D 1 - D 2 断面) である。
- 【図 2 2 A】 同第 8 工程図 (A 1 - A 2 断面) である。
- 【図 2 2 B】 同第 8 工程図 (B 1 - B 2 断面) である。
- 【図 2 2 C】 同第 8 工程図 (C 1 - C 2 断面) である。
- 【図 2 2 D】 同第 8 工程図 (D 1 - D 2 断面) である。
- 【図 2 3 A】 同第 9 工程図 (A 1 - A 2 断面) である。
- 【図 2 3 B】 同第 9 工程図 (B 1 - B 2 断面) である。
- 【図 2 3 C】 同第 9 工程図 (C 1 - C 2 断面) である。
- 【図 2 3 D】 同第 9 工程図 (D 1 - D 2 断面) である。
- 【図 2 4 A】 同第 1 0 工程図 (A 1 - A 2 断面) である。
- 【図 2 4 B】 同第 1 0 工程図 (B 1 - B 2 断面) である。
- 【図 2 4 C】 同第 1 0 工程図 (C 1 - C 2 断面) である。
- 【図 2 4 D】 同第 1 0 工程図 (D 1 - D 2 断面) である。
- 【図 2 5 A】 同第 1 1 工程図 (A 1 - A 2 断面) である。
- 【図 2 5 B】 同第 1 1 工程図 (B 1 - B 2 断面) である。
- 【図 2 5 C】 同第 1 1 工程図 (C 1 - C 2 断面) である。
- 【図 2 5 D】 同第 1 1 工程図 (D 1 - D 2 断面) である。
- 【図 2 6 A】 同第 1 2 工程図 (A 1 - A 2 断面) である。
- 【図 2 6 B】 同第 1 2 工程図 (B 1 - B 2 断面) である。
- 【図 2 6 C】 同第 1 2 工程図 (C 1 - C 2 断面) である。
- 【図 2 6 D】 同第 1 2 工程図 (D 1 - D 2 断面) である。
- 【図 2 7】 同第 2 工程で用いるレジストパターンの平面図である。
- 【図 2 8】 同第 4 工程で用いるレジストパターンの平面図である。
- 【図 2 9】 同第 6 工程で形成されたエッチングストッパの平面図である。

【図 30】 同第 7 工程におけるエッチングストップの開口部付近の平面図である。

【図 31】 同第 7 工程図で形成されたエッチング領域の平面図である。

【図 32】 第 1 実施形態に係る半導体装置の変形例を示す平面図である。

【図 33】 第 2 実施形態に係る半導体装置の一例の平面図である。

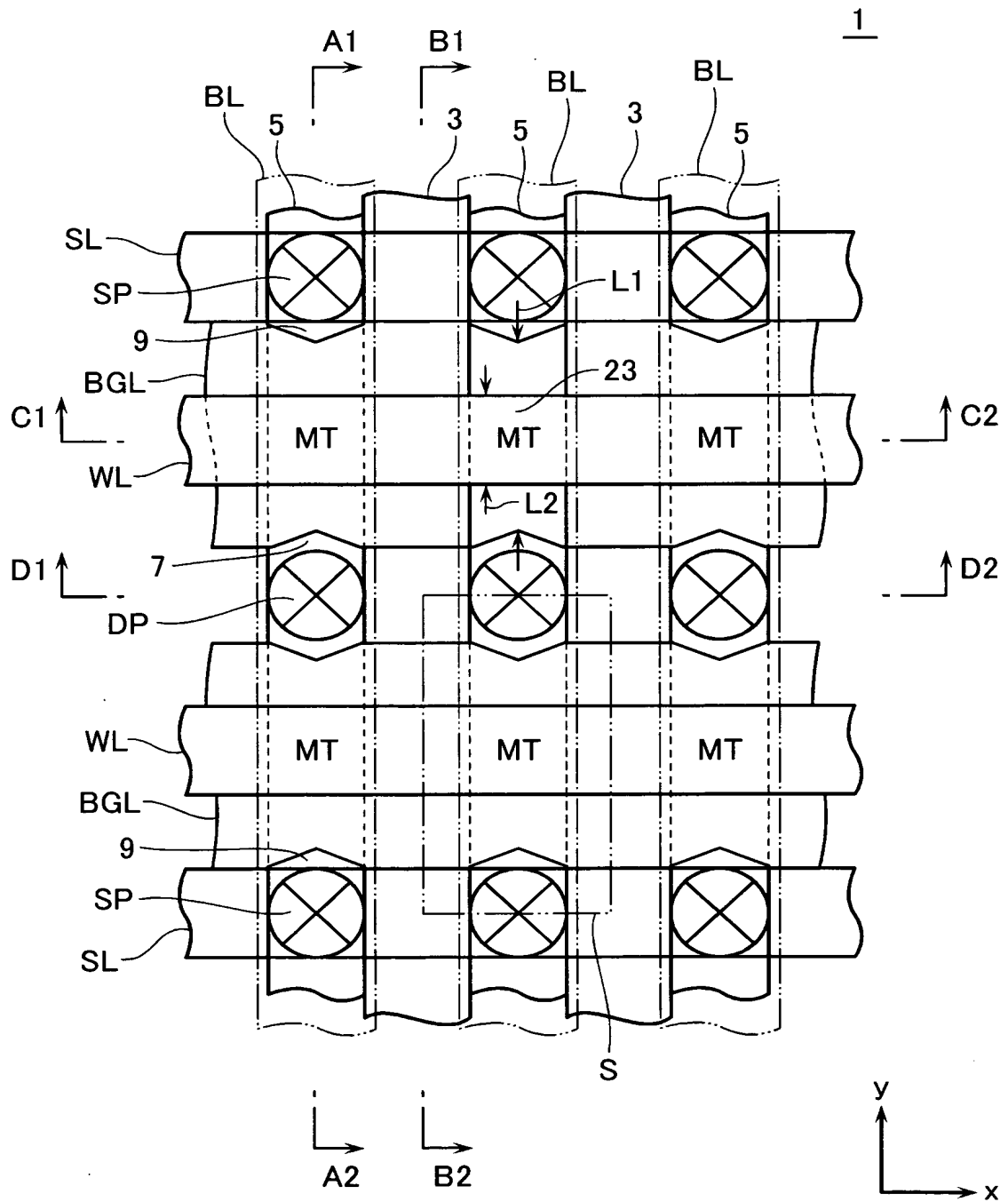
【図 34】 第 2 実施形態に係る半導体装置の他の例の平面図である。

【符号の説明】

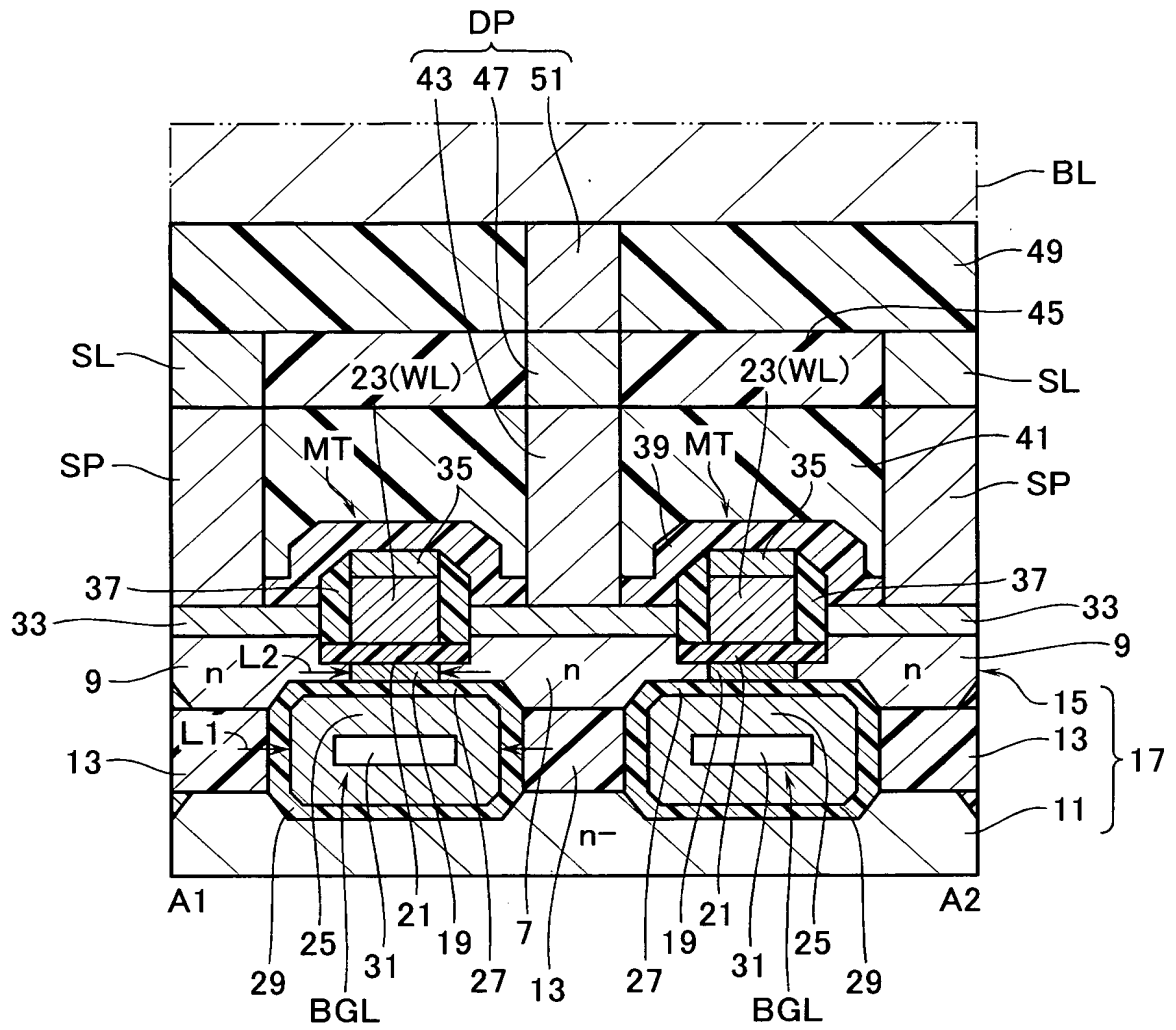
【0094】

1・・・セルアレイ、3・・・素子分離部、3a・・・素子分離部の底部、3b・・・素子分離部の上部、3c・・・素子分離部の角部、5・・・素子形成領域、7・・・ドレイン領域、9・・・ソース領域、11・・・シリコン基板（基板の一例）、13・・・埋め込み酸化層（絶縁層の一例）、15・・・シリコン層（半導体層の一例）、17・・・SOI 基板、19・・・チャンネルボディ、21・・・第 1 ゲート絶縁膜、23・・・フロントゲート電極（第 1 ゲート電極の一例）、25・・・バックゲート電極（第 2 ゲート電極の一例）、27・・・第 2 ゲート絶縁膜、29・・・シリコン酸化膜、31・・・空隙部、33、35・・・シリサイド、37・・・サイドウォール、39・・・シリコン窒化膜、41・・・層間絶縁膜、43・・・ドレインプラグの下部、45・・・層間絶縁膜、47・・・ドレインプラグの中間部、49・・・層間絶縁膜、51・・・ドレインプラグの上部、53・・・側面電極、55・・・キャパシタの角部、57・・・ n^+ 型拡散層、59・・・シリサイド、61・・・プラグ、63・・・シリサイド、65・・・シリコン窒化膜（エッチングストップの下層部）、67・・・シリコン酸化膜、69・・・レジストパターン、71・・・開口部、73・・・レジスト部、77・・・シリコン窒化膜（エッチングストップの上層部）、79・・・レジスト、81・・・SOG 膜、83・・・レジストパターン、85・・・レジスト部、87・・・開口部、89・・・エッチングストップ、91・・・開口部、93・・・エッチング領域、95・・・空洞部、96、97・・・アモルファスシリコン膜、99・・・シリコン酸化膜、101・・・ロジックトランジスタ、103・・・ソース／ドレイン領域、105・・・配線層、107・・・ソース／ドレイン領域、109・・・配線層、111・・・ロジックトランジスタ、MT・・・記憶トランジスタ、WL・・・ワード線（第 1 ゲート線の一例）、DP・・・ドレインプラグ、SP・・・ソースプラグ、BL・・・ビット線、SL・・・ソース線、BGL・・・バックゲート線（第 2 ゲート線の一例）、PQ・・・PMOS トランジスタ、NQ・・・NMOS トランジスタ、C・・・キャパシタ、w1・・・ソース領域を共通接続するシリコン層の幅、L1・・・バックゲート電極のゲート長（バックゲート電極の幅）、L2・・・フロントゲート電極（第 1 ゲート電極の一例）のゲート長、S・・・記憶トランジスタのサイズ、R1・・・ワード線形成領域（第 1 ゲート線形成領域の一例）、R2・・・素子分離部形成領域、R3・・・チャンネルボディ形成領域、R4・・・不純物領域形成領域、W・・・ゲート幅、Q・・・トランジスタ、GL・・・ゲート線（第 1 ゲート線の一例）

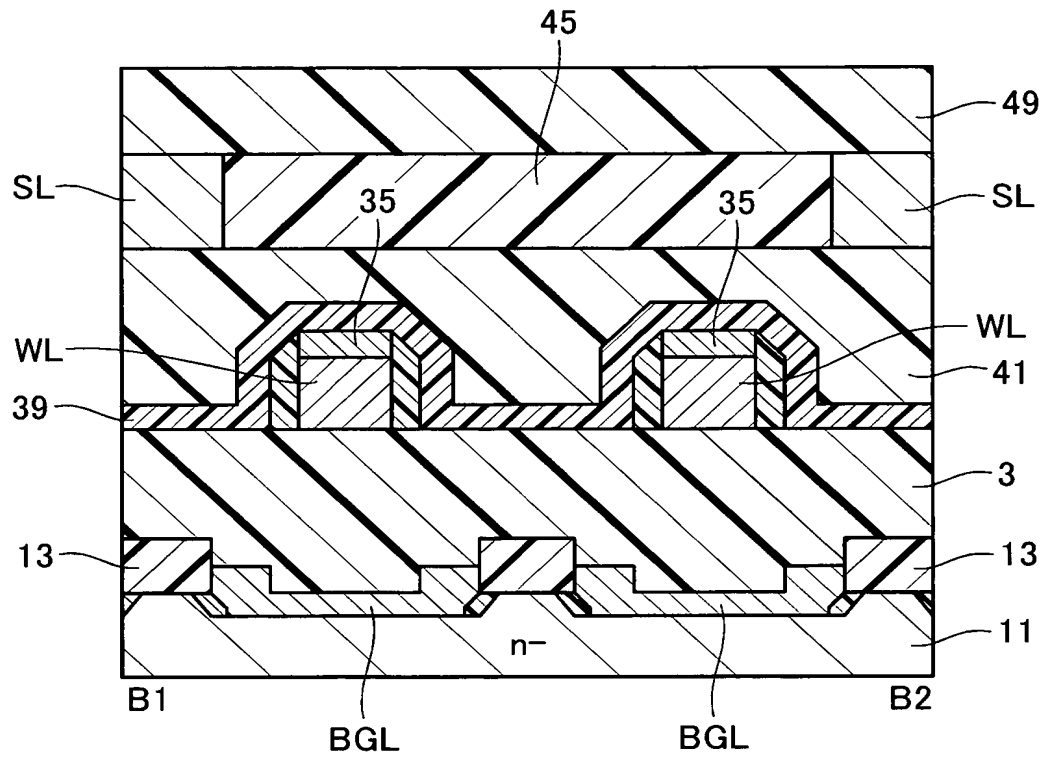
【書類名】 図面
【図 1】



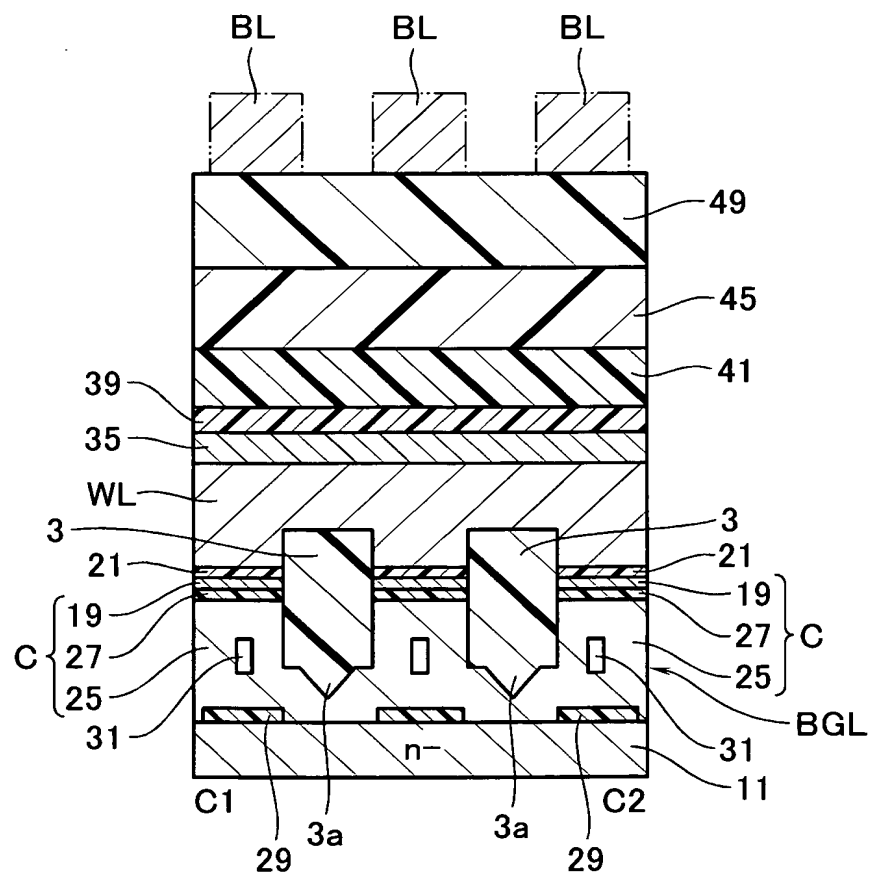
【図 2 A】



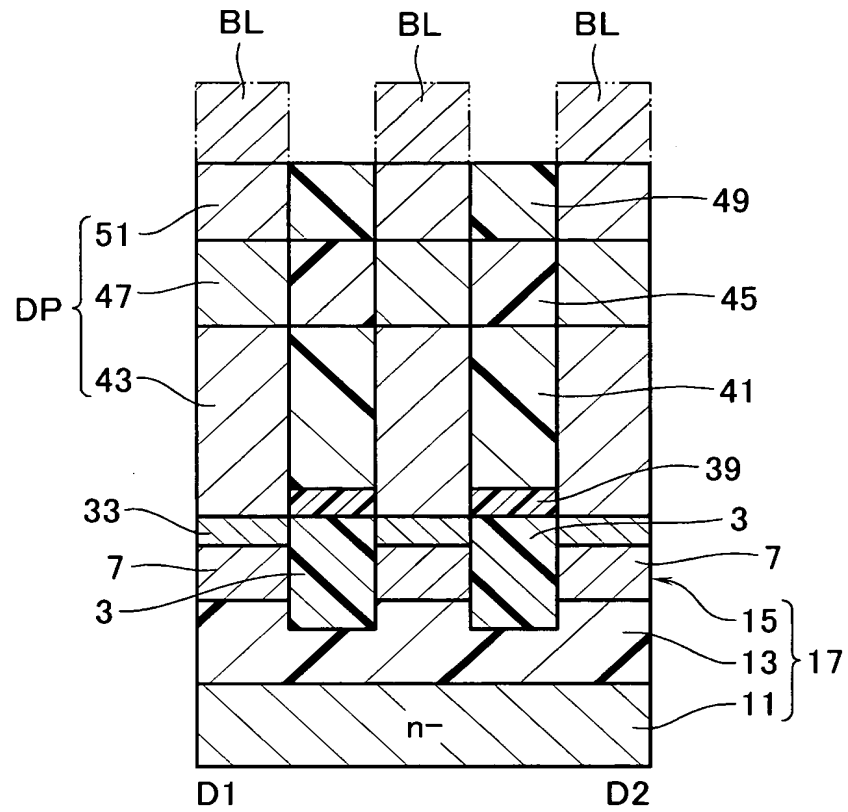
【図 2 B】



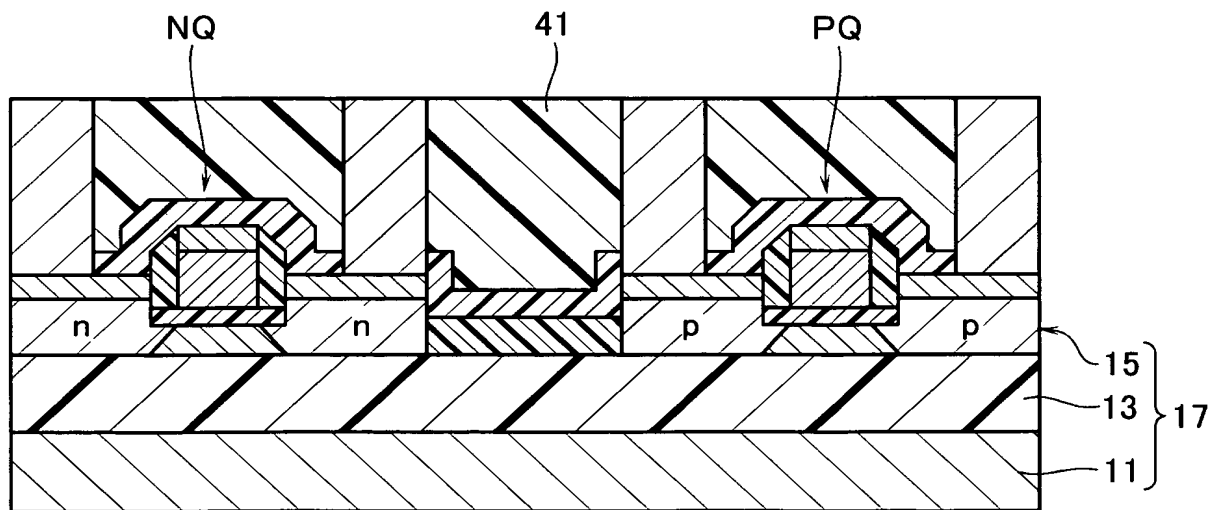
【図 2 C】



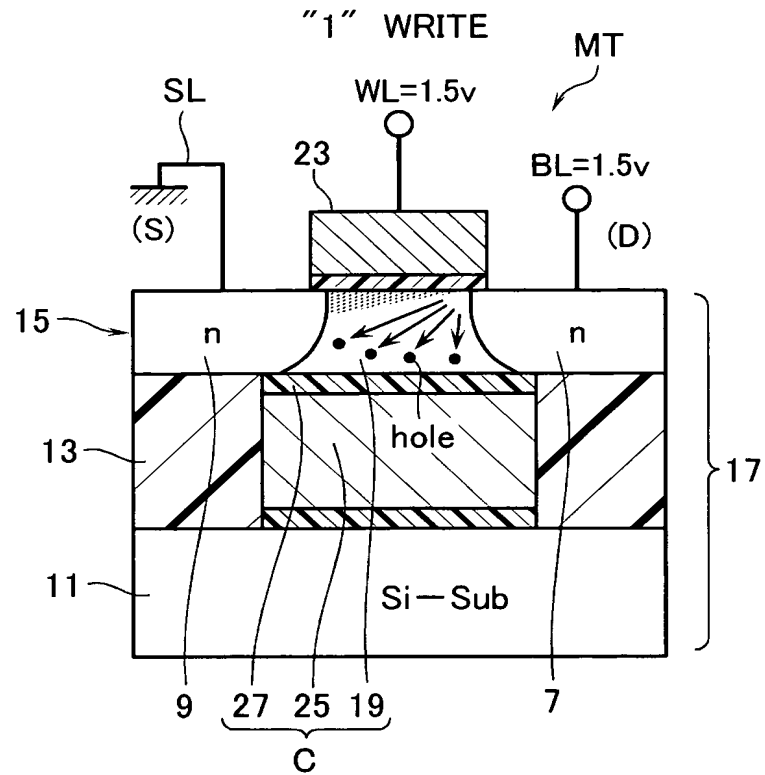
【図 2 D】



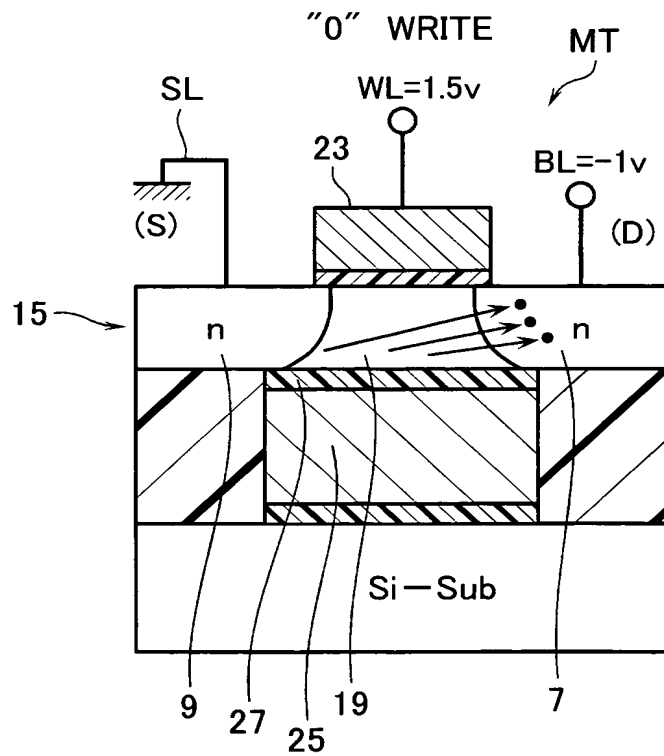
【図 3】



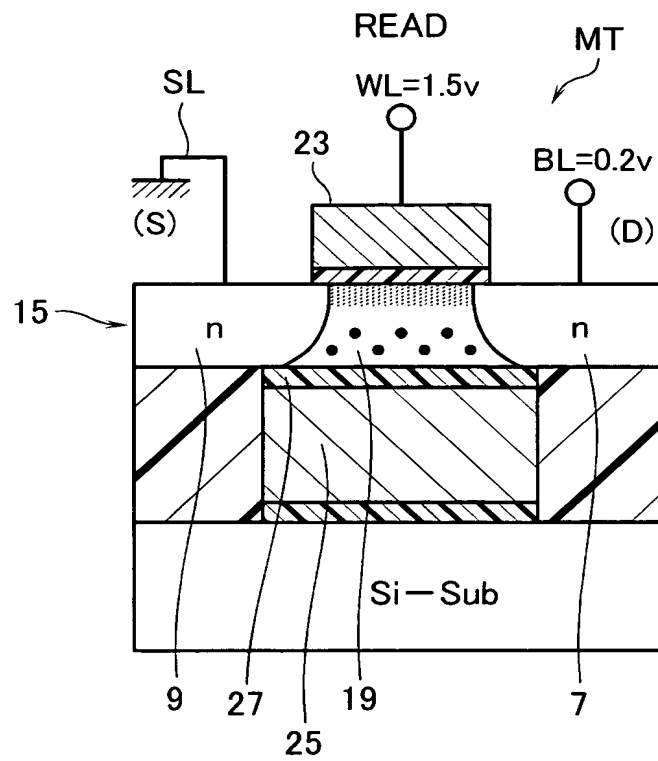
【図 4】



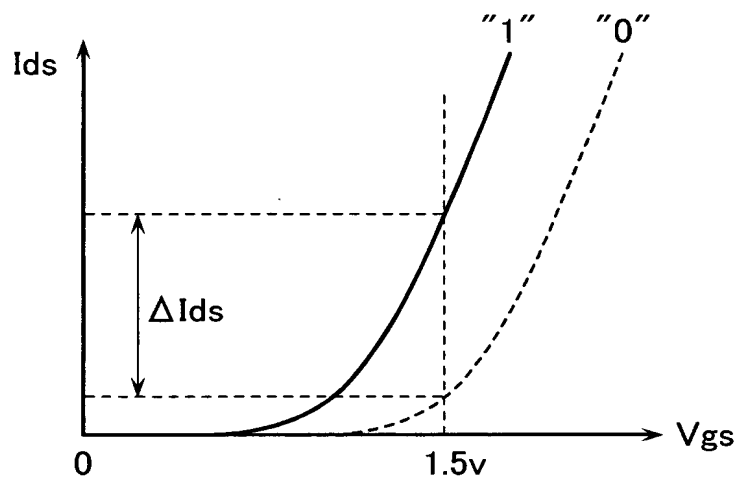
【図 5】



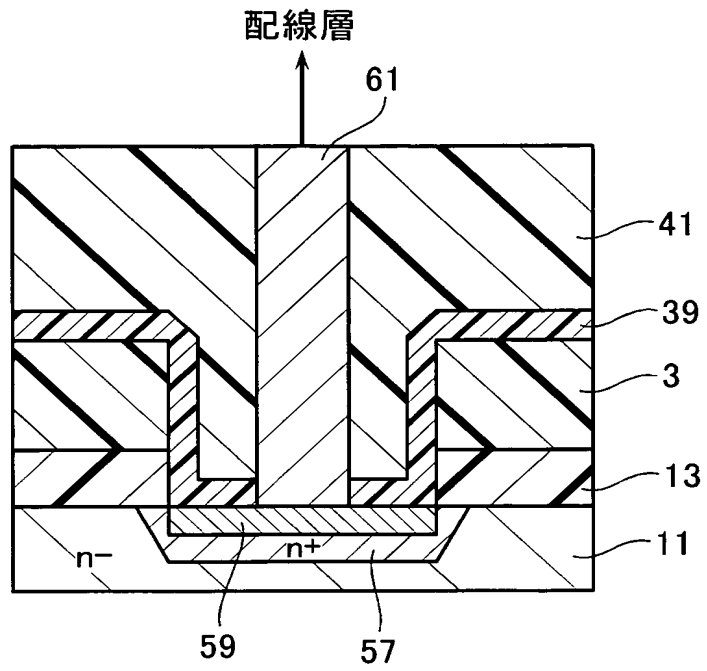
【図 6】



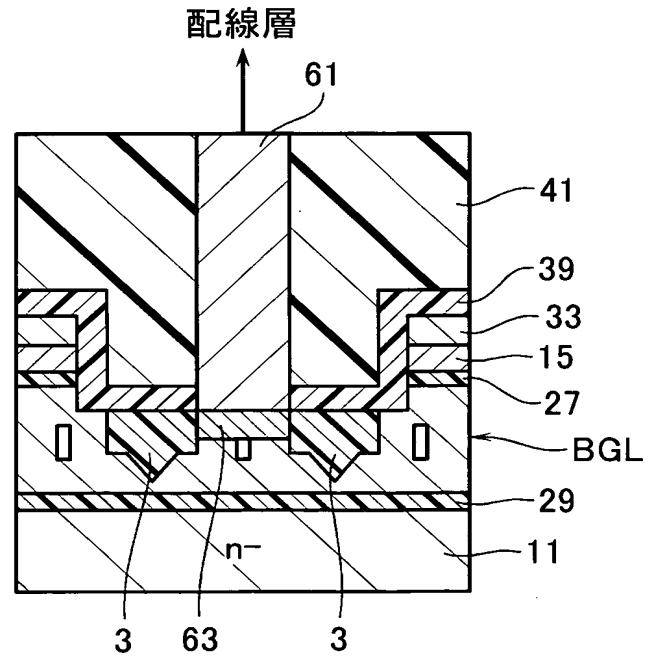
【図 7】



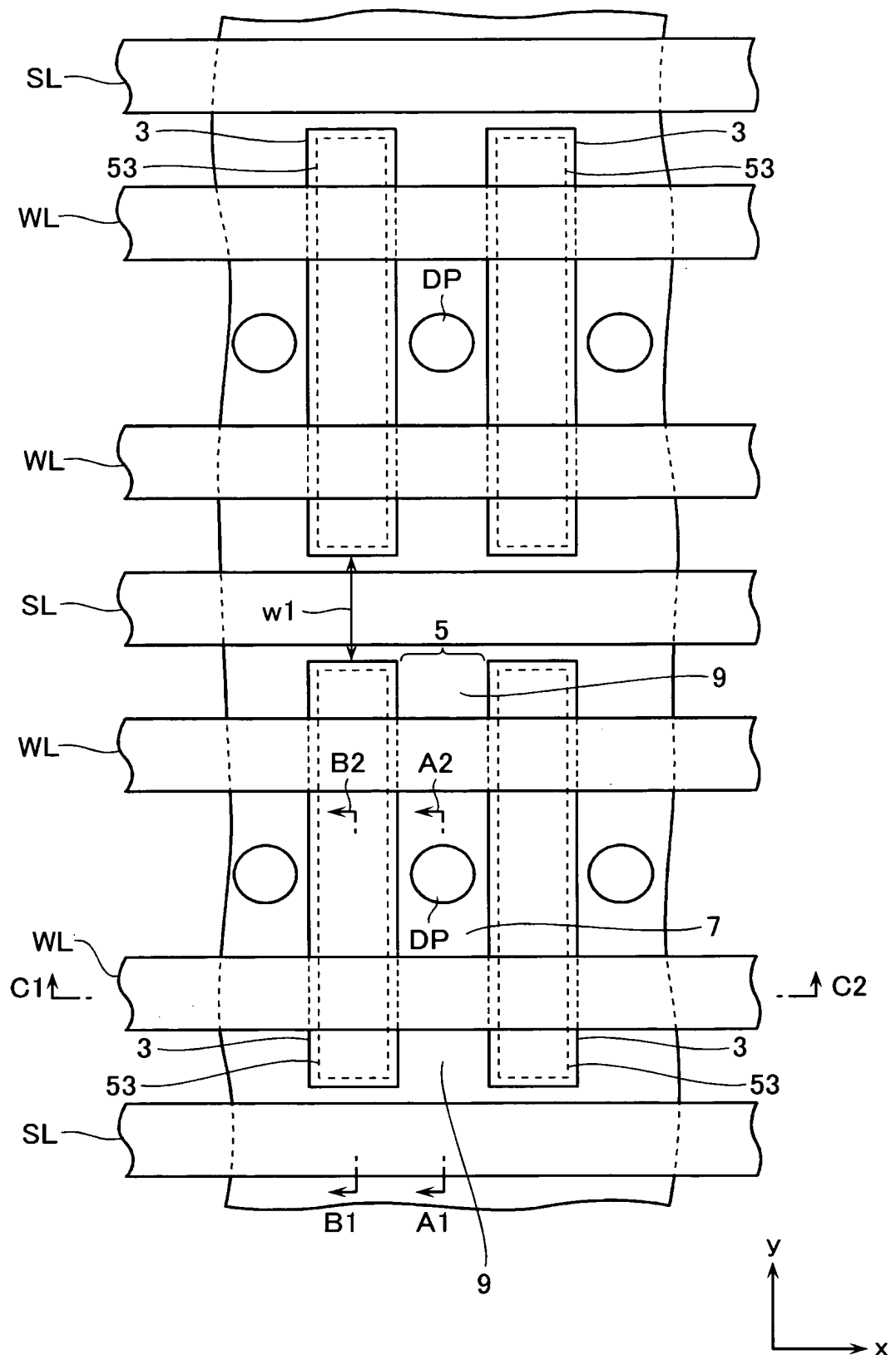
【図 8】



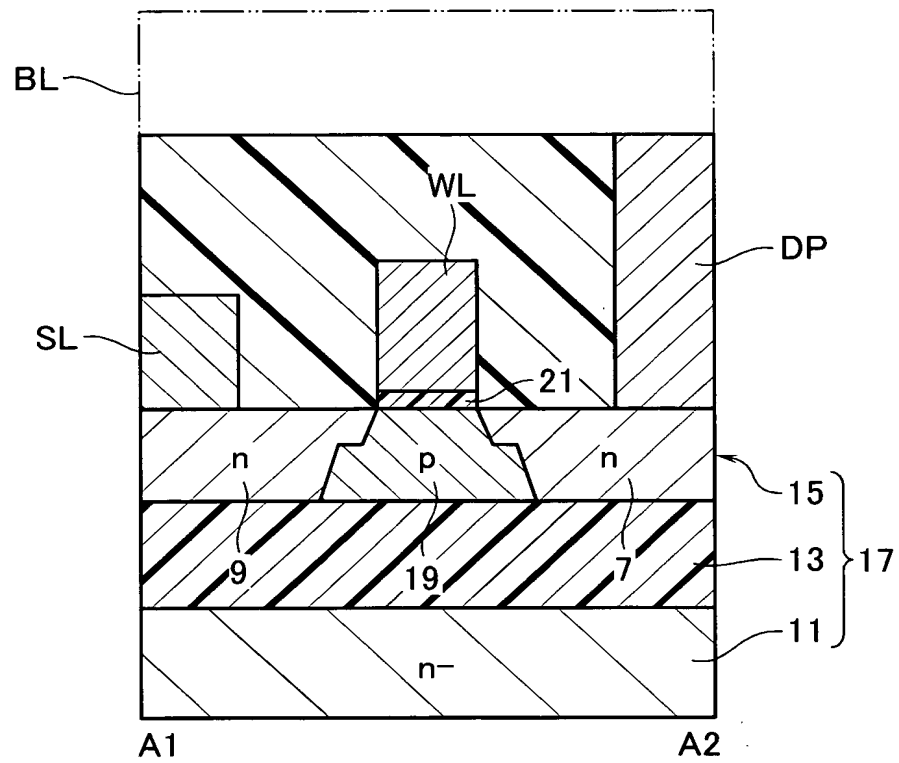
【図 9】



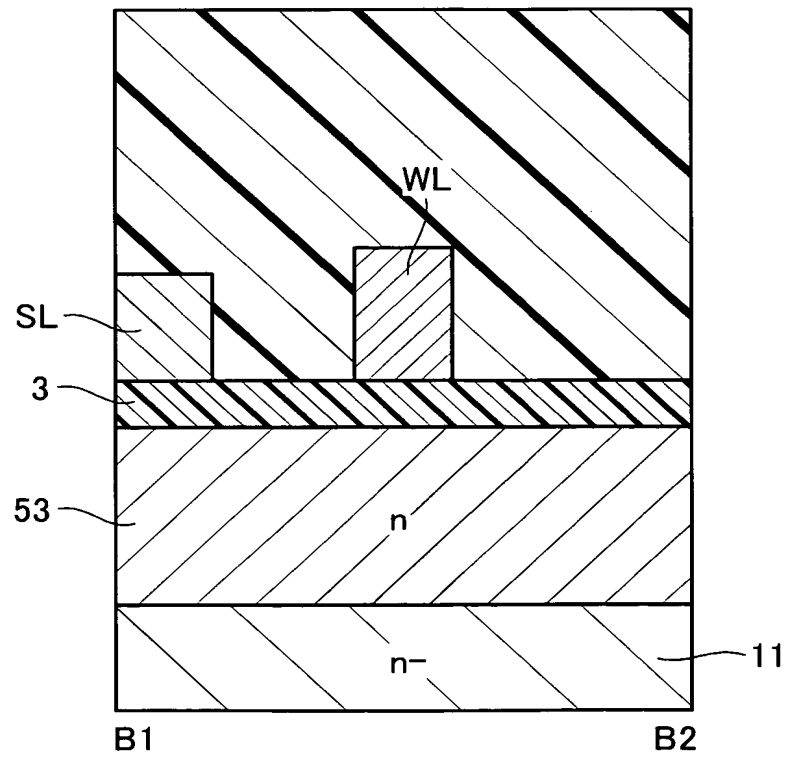
【図 10】



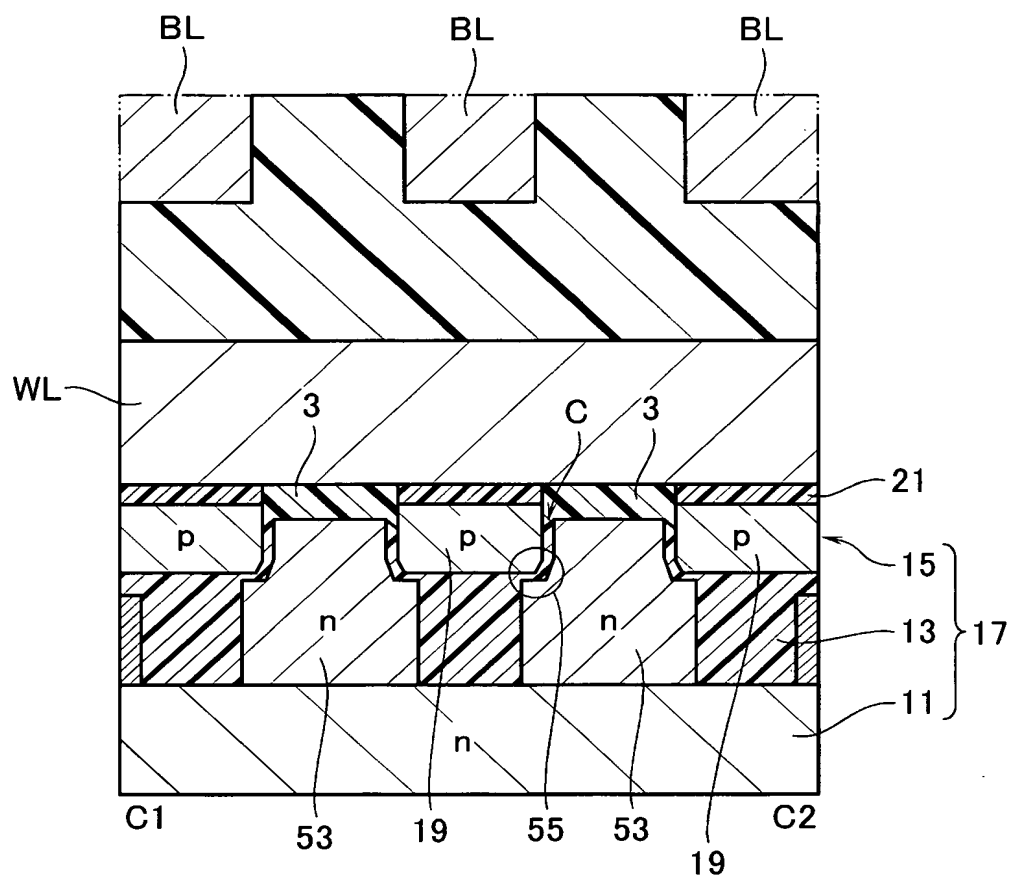
【図 1 1】



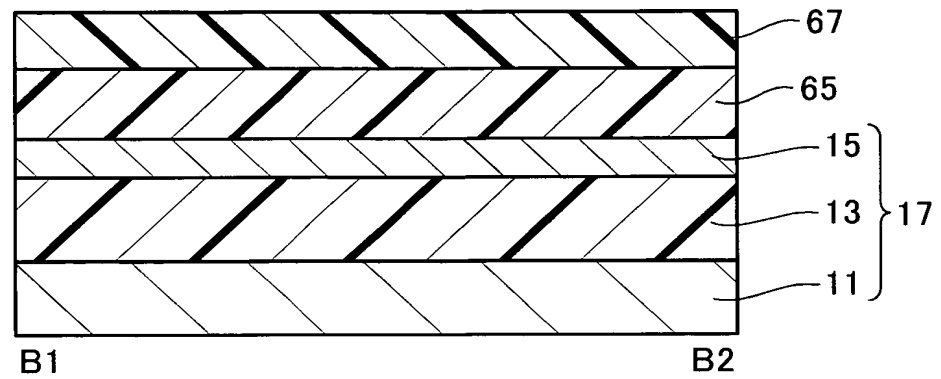
【図 1 2】



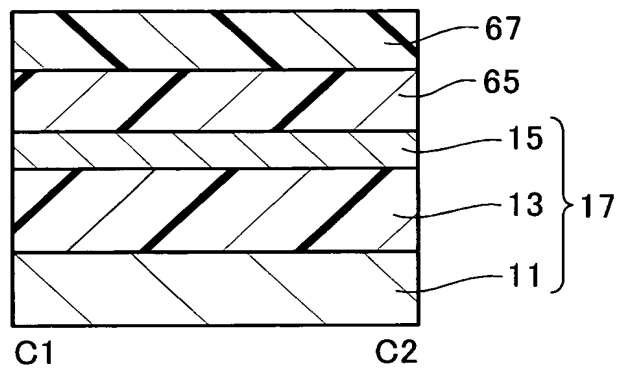
【図 13】



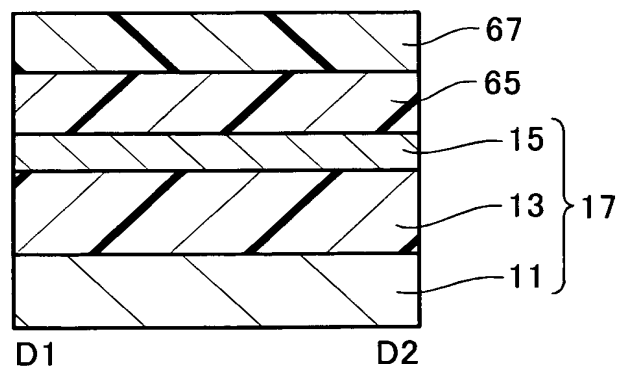
【図 15 B】



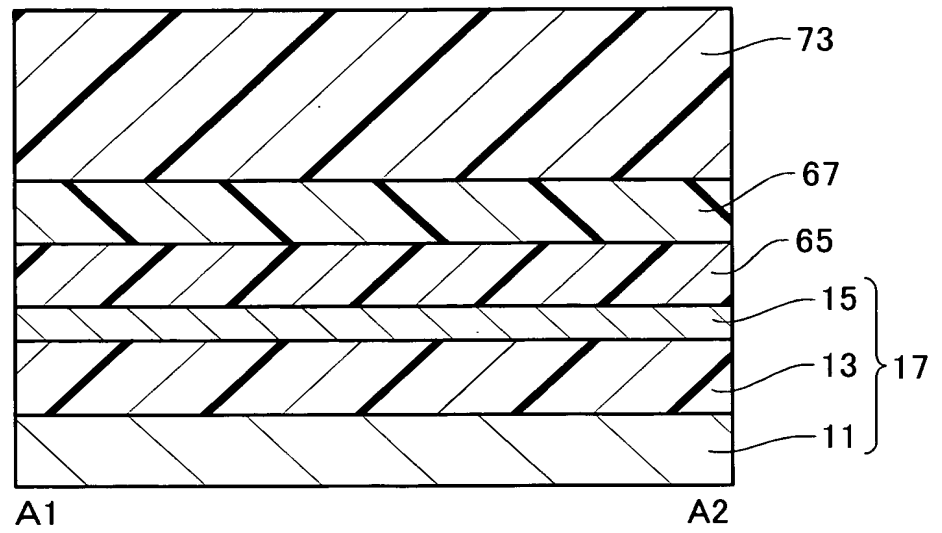
【図 15 C】



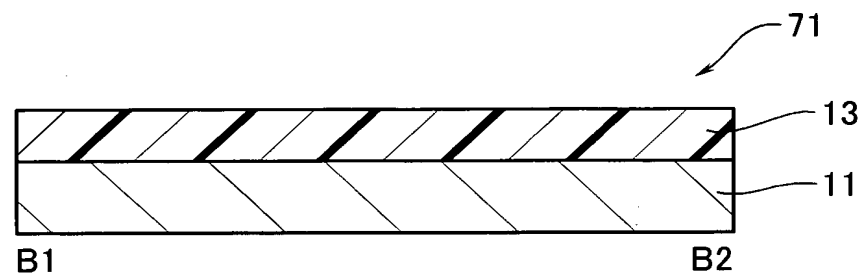
【図 15 D】



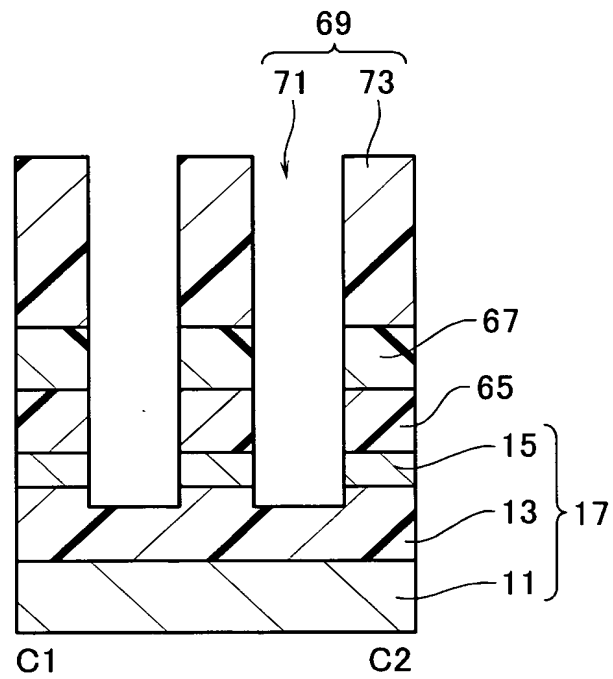
【図 16 A】



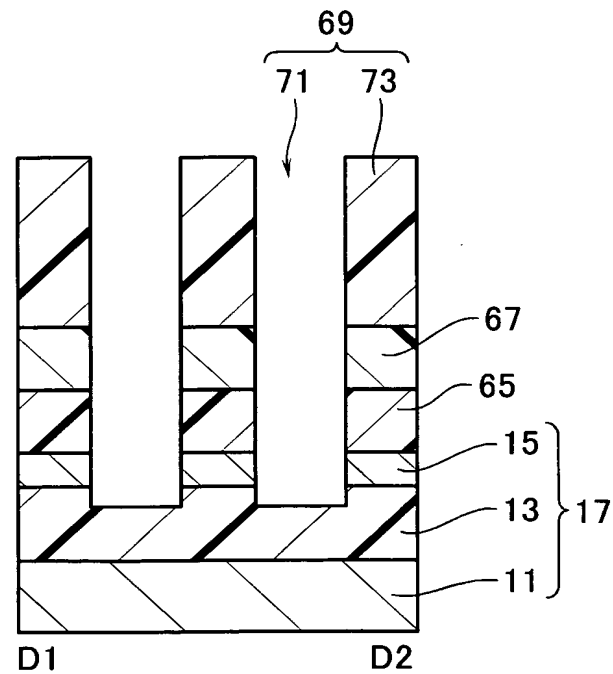
【図 16 B】



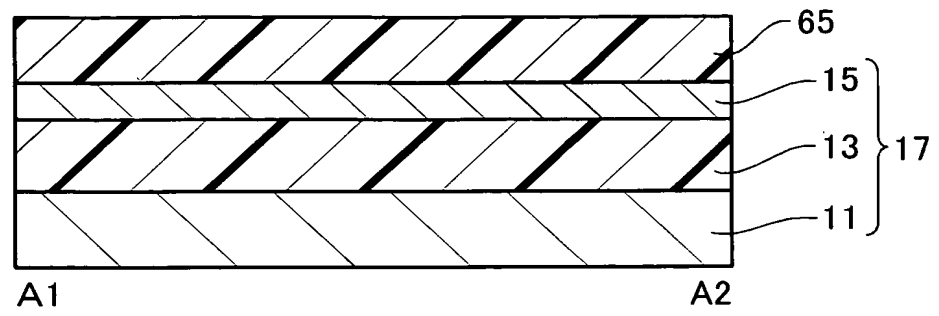
【図 16 C】



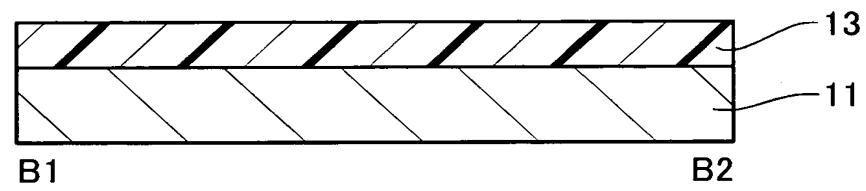
【図 16 D】



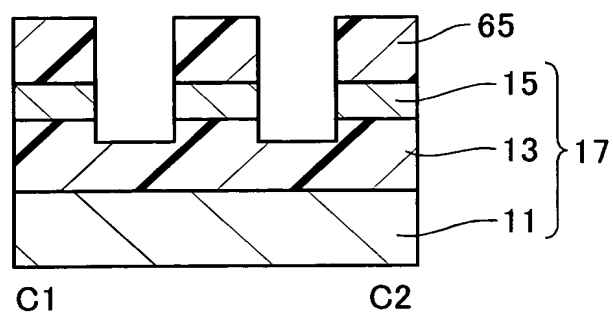
【図 17 A】



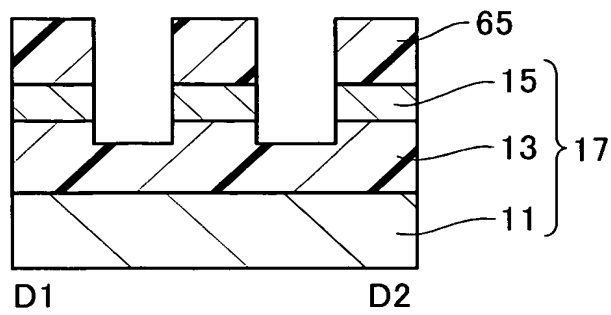
【図 17 B】



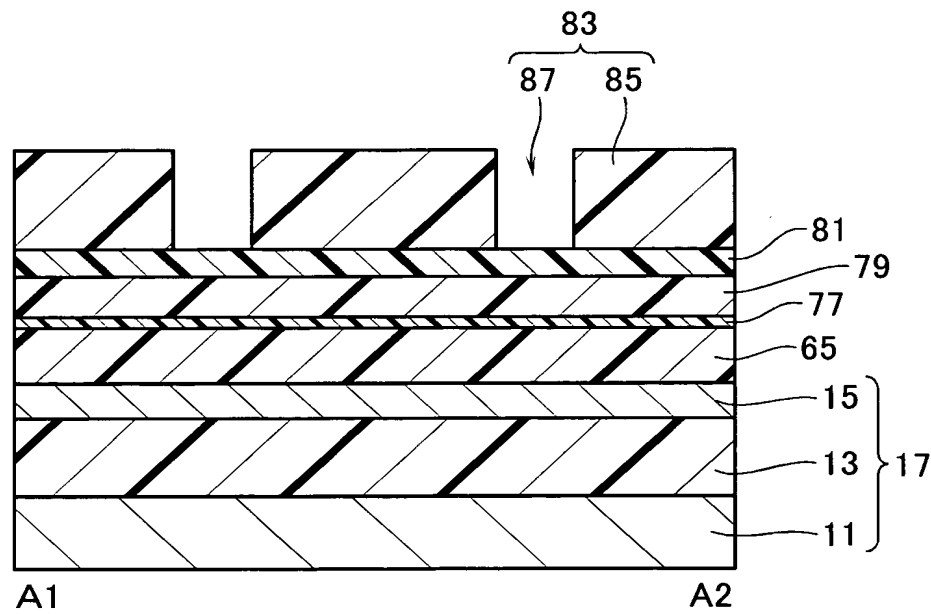
【図 17 C】



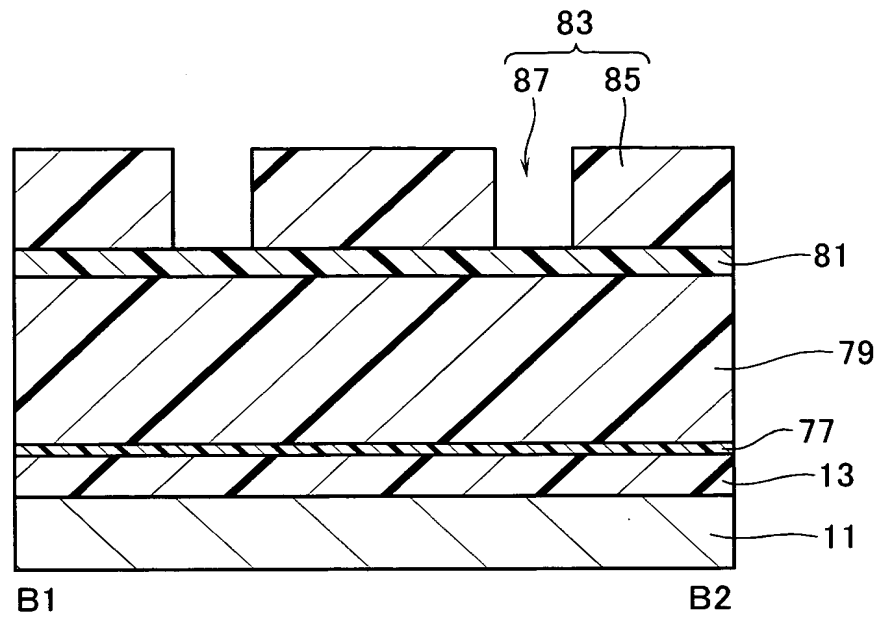
【図 17D】



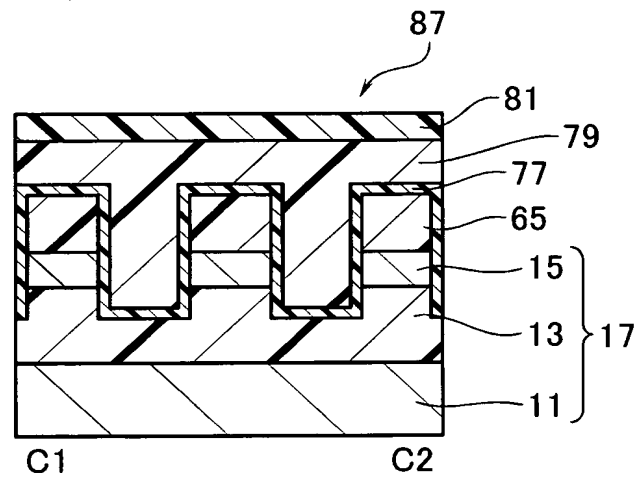
【図 18A】



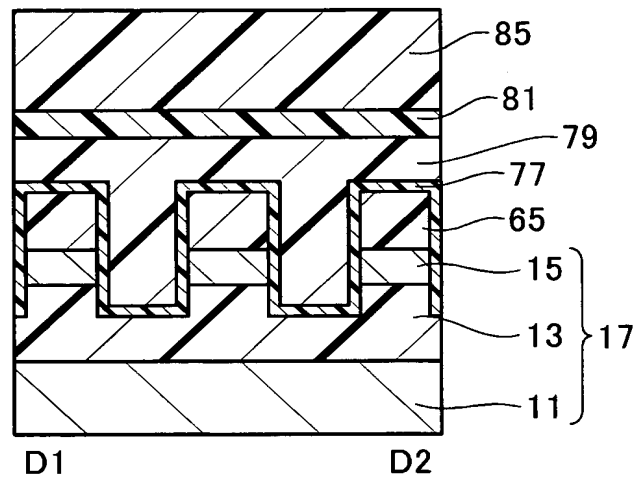
【図 18 B】



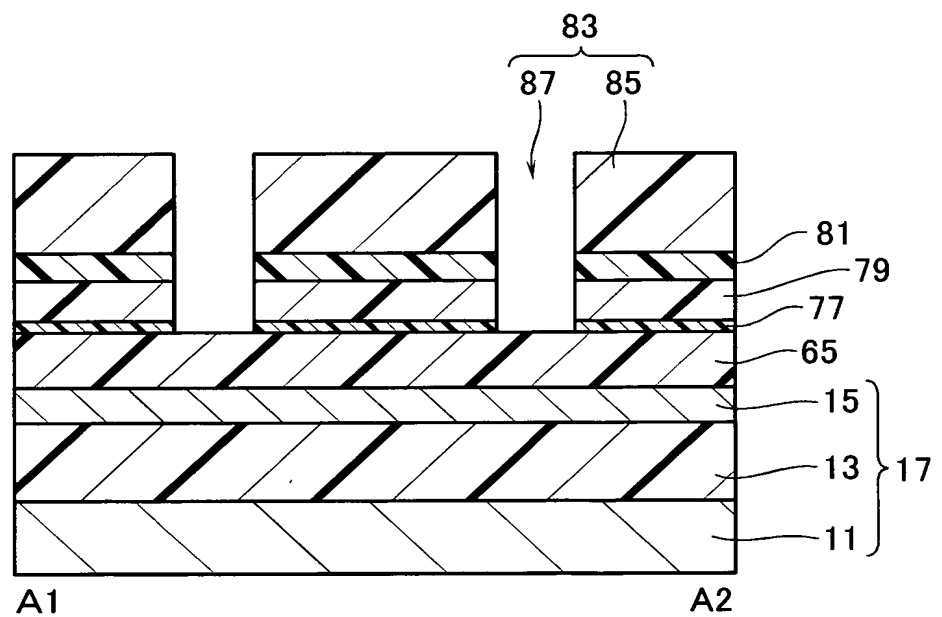
【図 18 C】



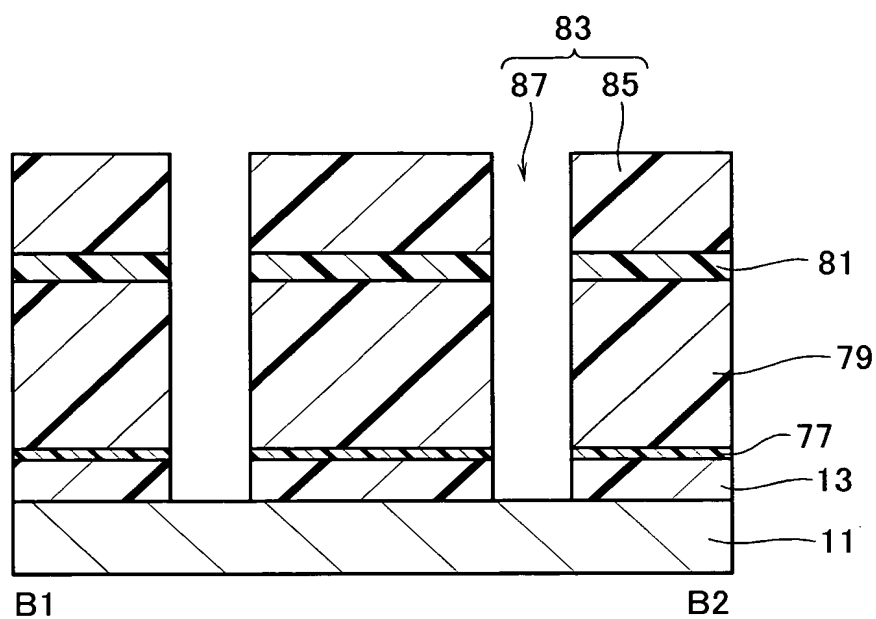
【図 18 D】



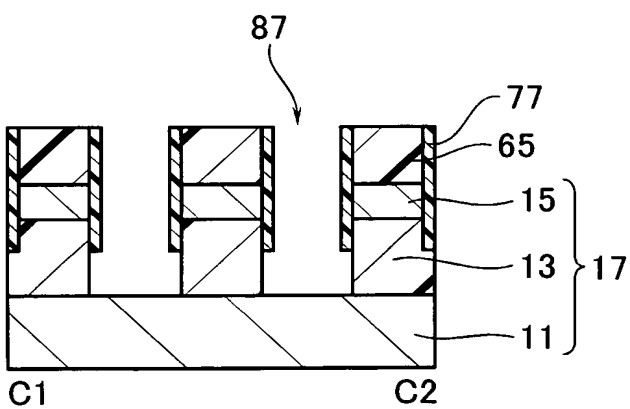
【図 19 A】



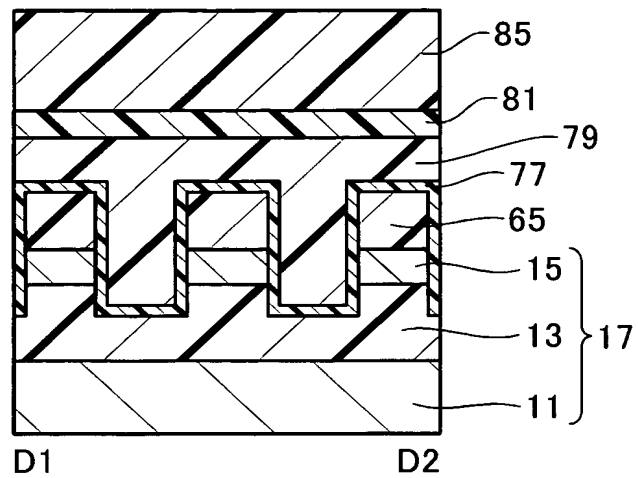
【図 19 B】



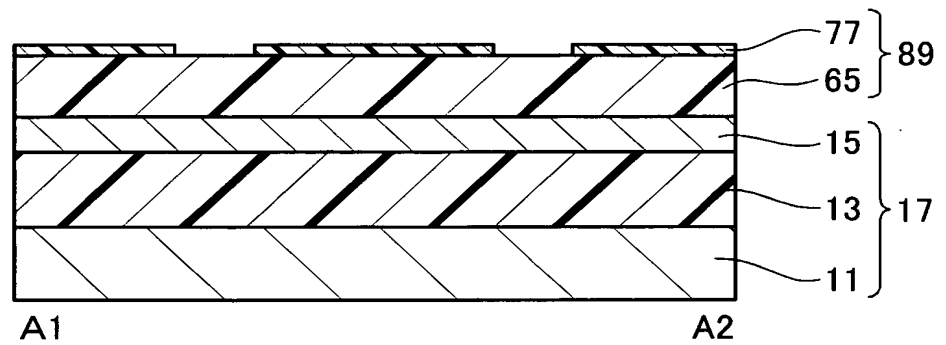
【図 19 C】



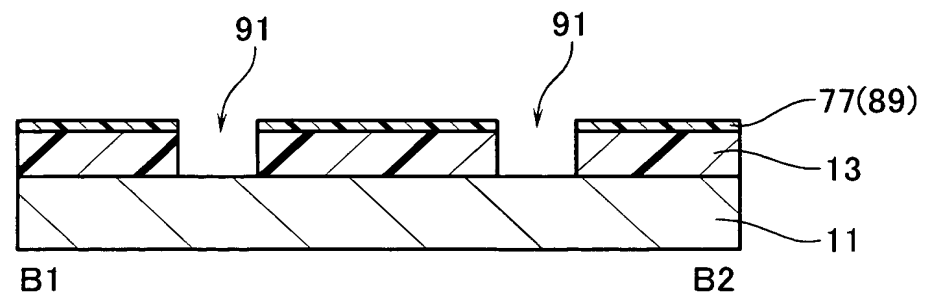
【図 19 D】



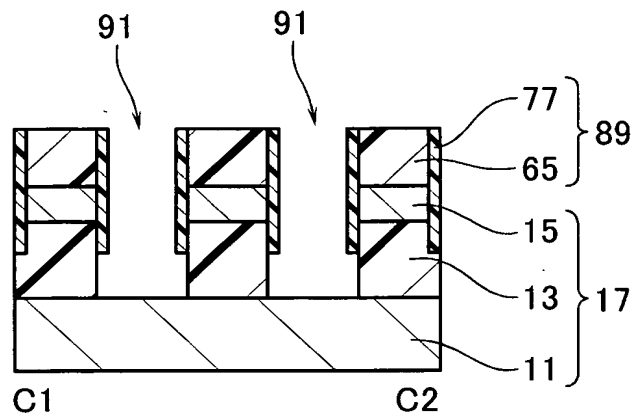
【図 20 A】



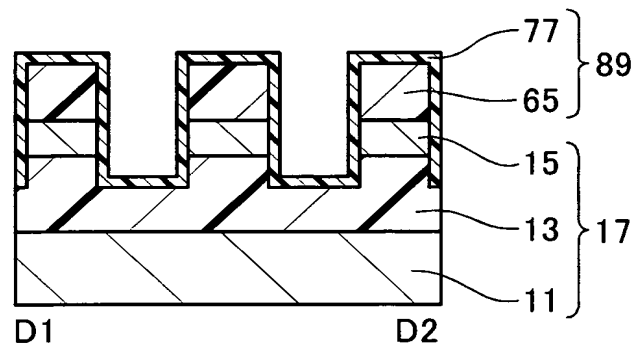
【図 20 B】



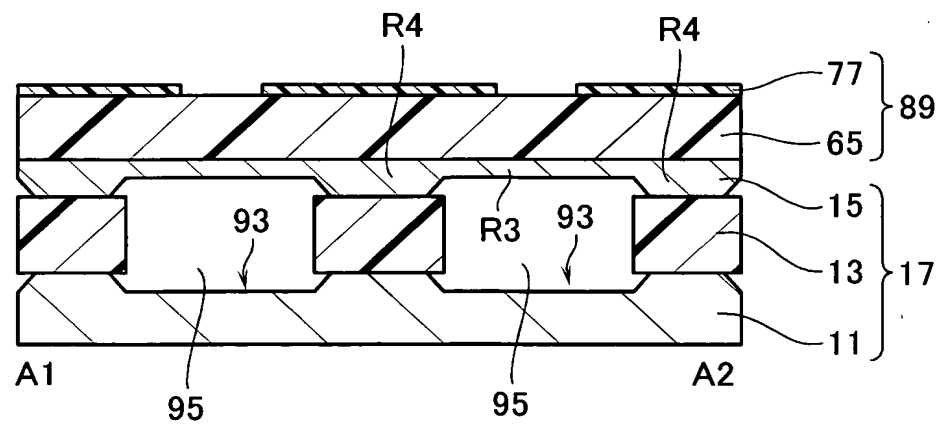
【図 20 C】



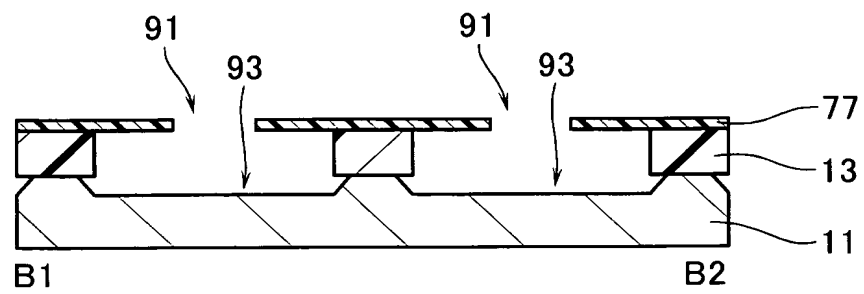
【図 20 D】



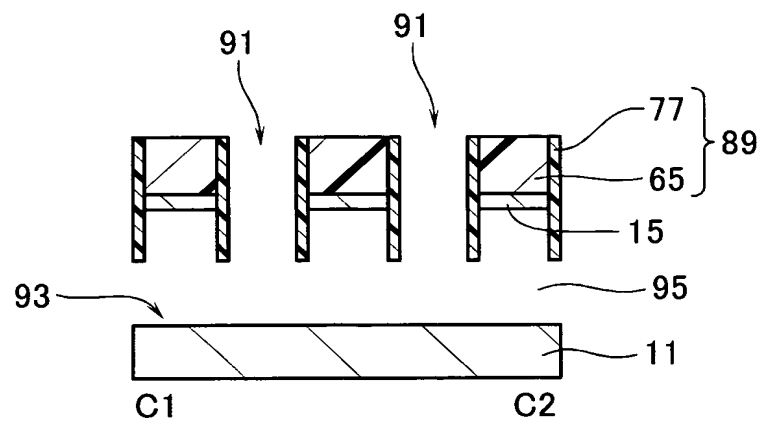
【図 21 A】



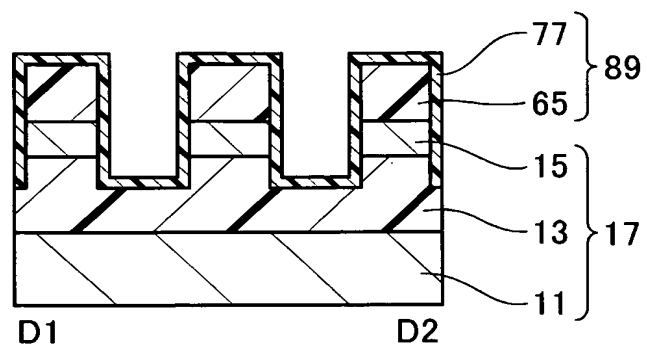
【図 2 1 B】



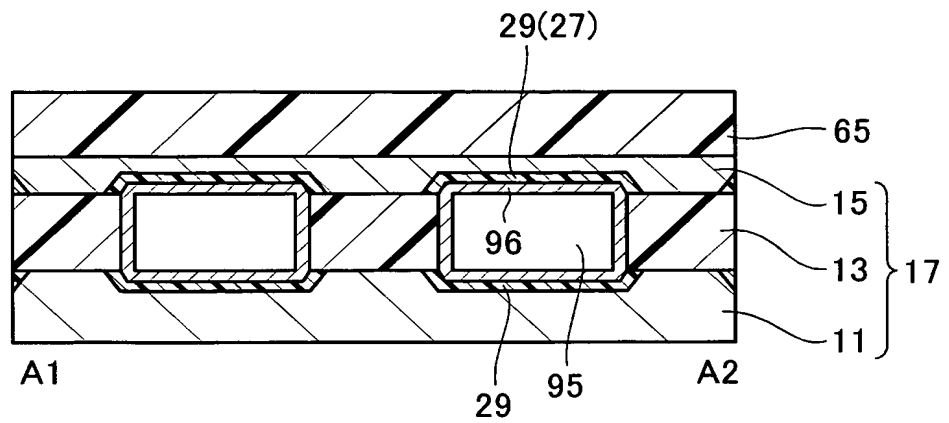
【図 2 1 C】



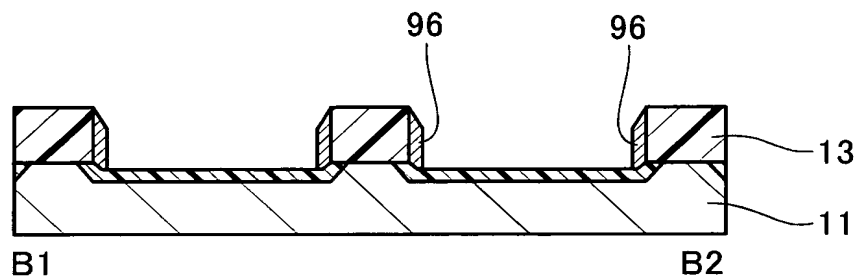
【図 2 1 D】



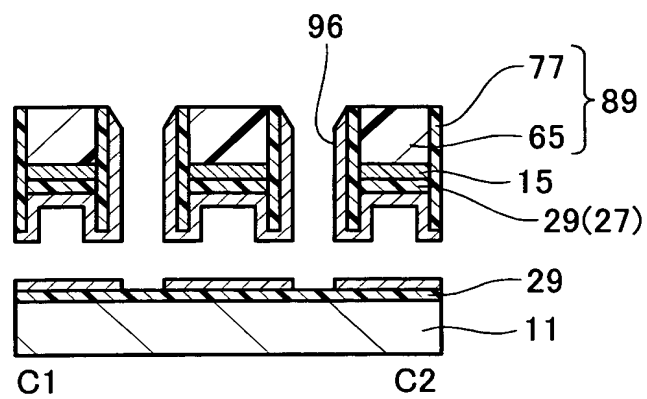
【図 2 2 A】



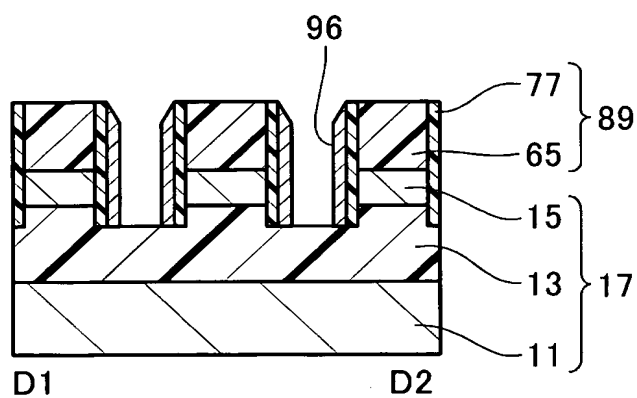
【図 2 2 B】



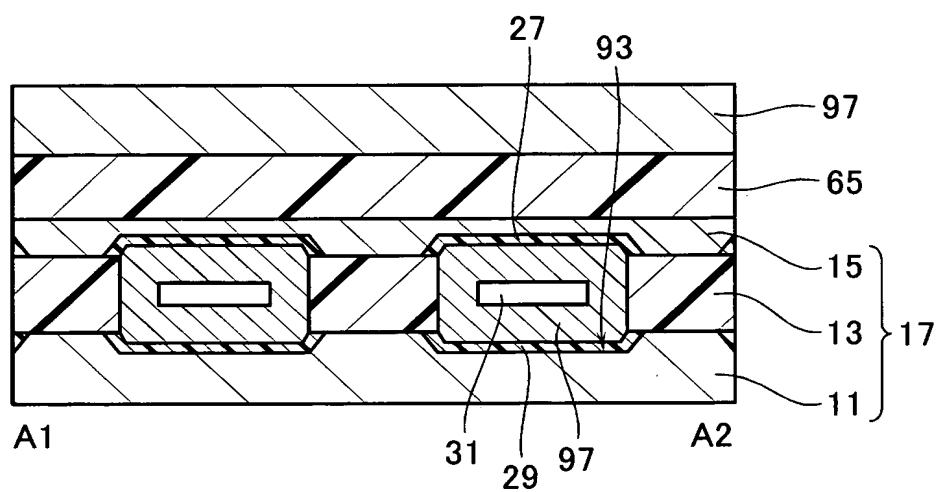
【図 2 2 C】



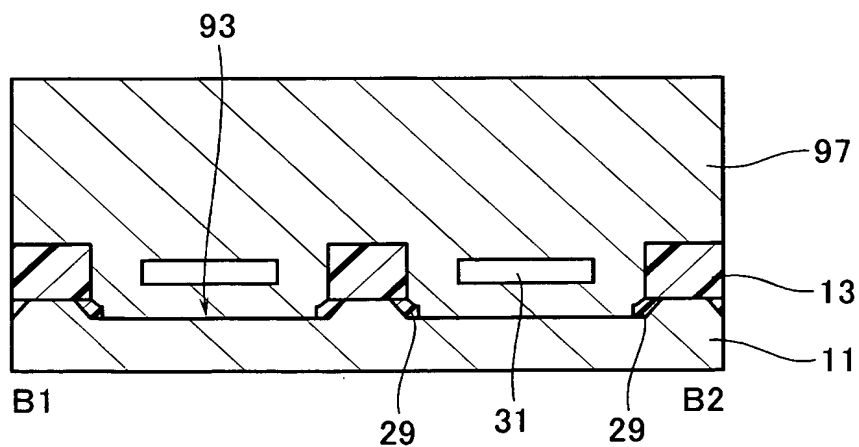
【図 2 2 D】



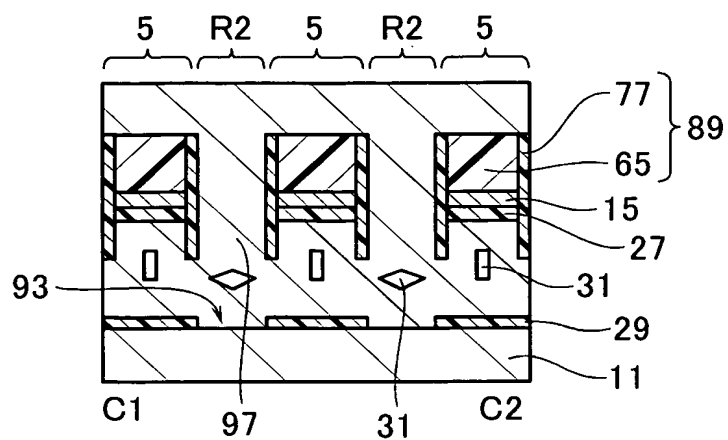
【図 23 A】



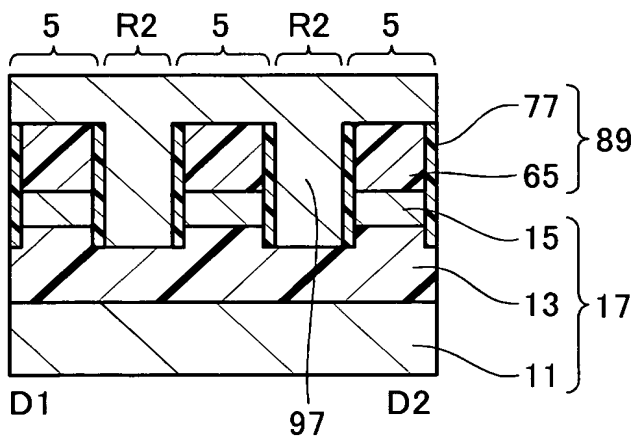
【図 2 3 B】



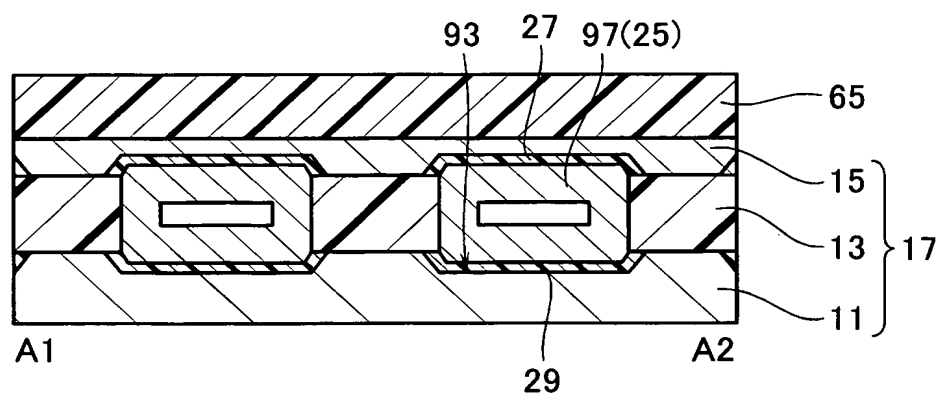
【図 23 C】



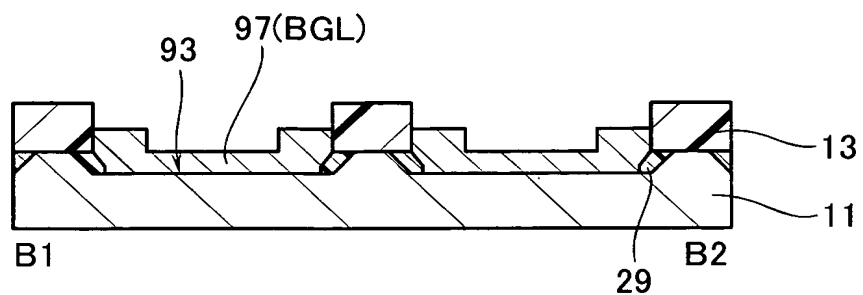
【図 23 D】



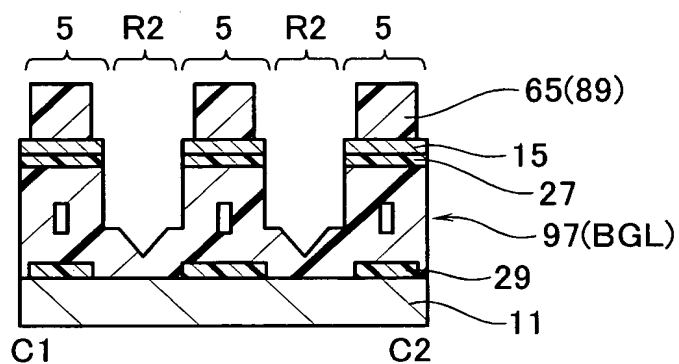
【図 24 A】



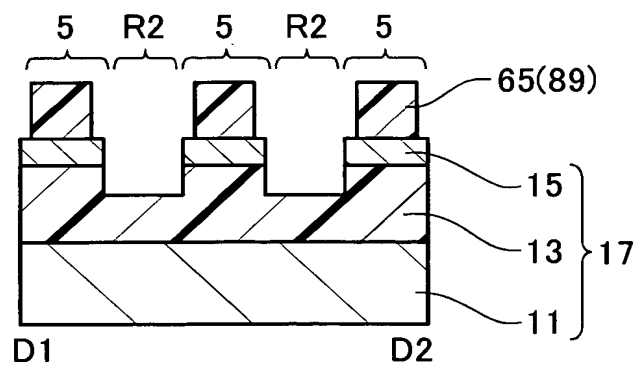
【図 2 4 B】



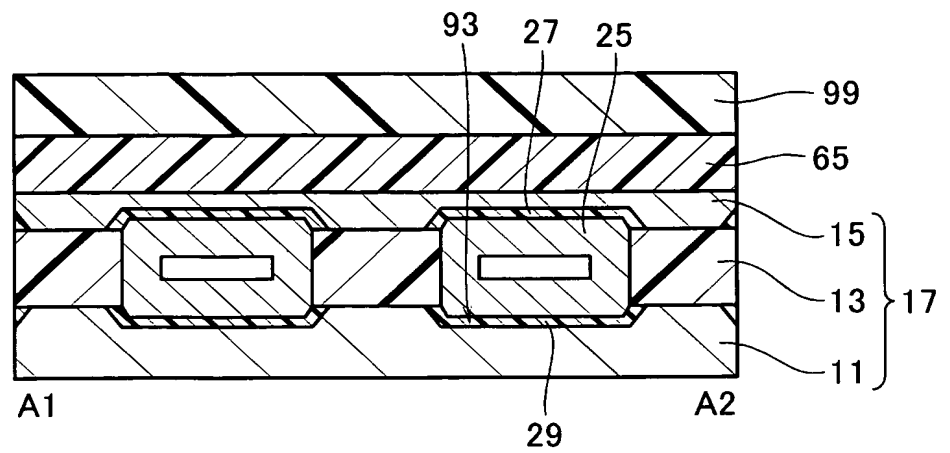
【図 2 4 C】



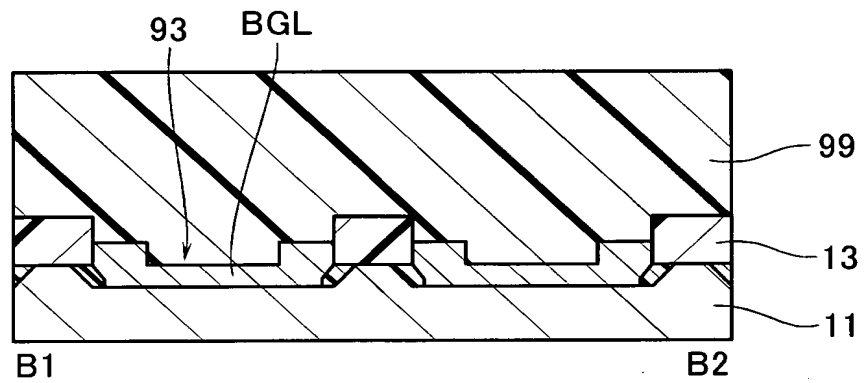
【図 2 4 D】



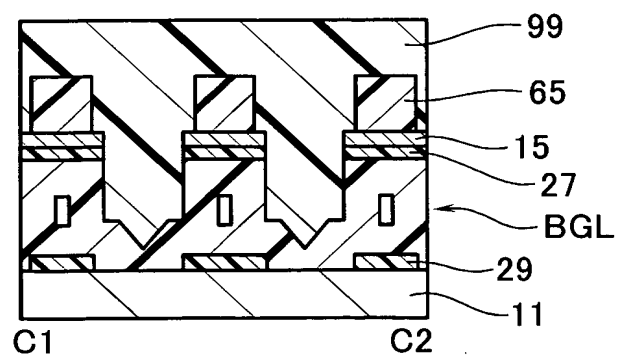
【図 25 A】



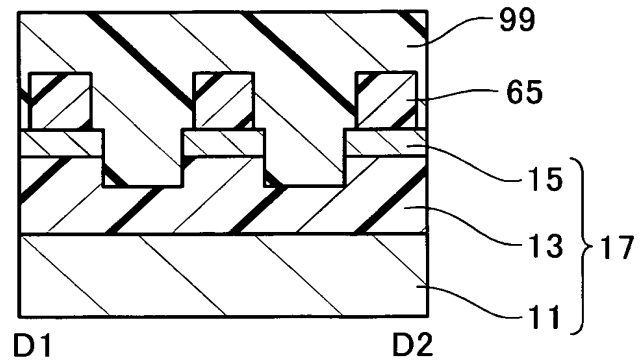
【図 25 B】



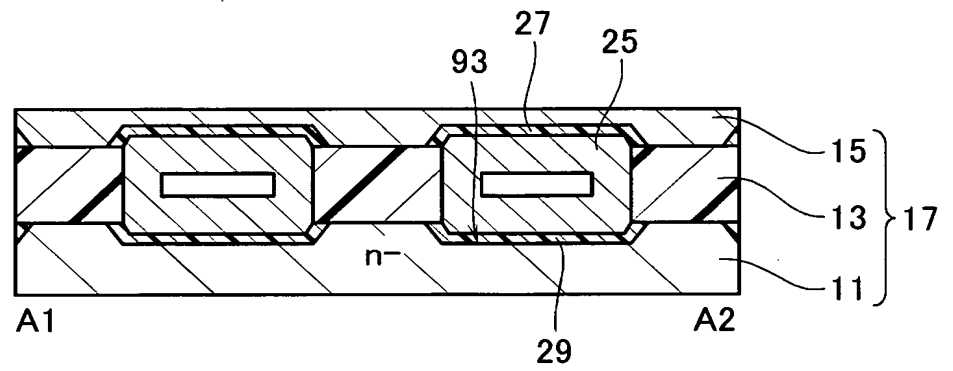
【図 25 C】



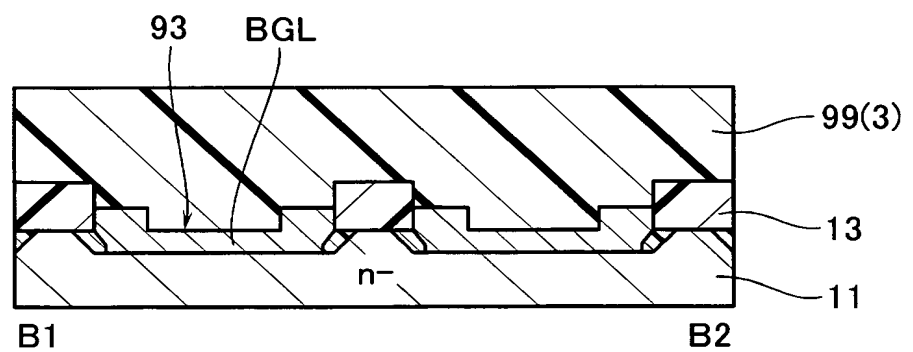
【図 2 5 D】



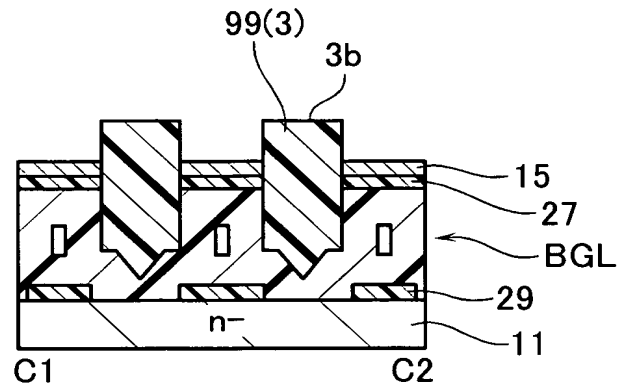
【図 2 6 A】



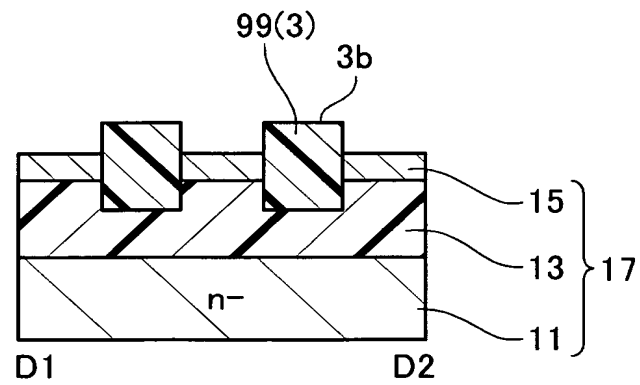
【図 2 6 B】



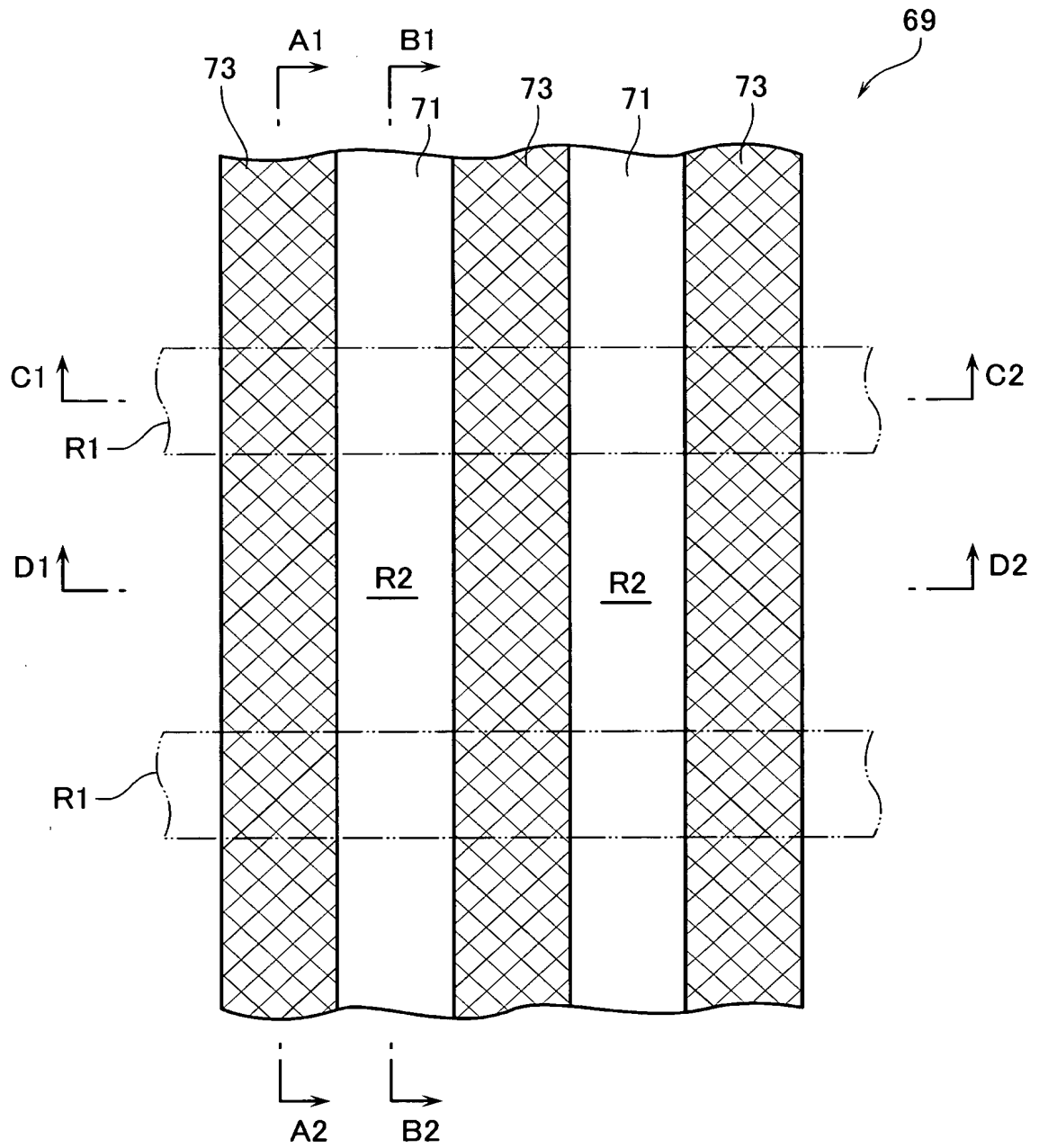
【図 26 C】



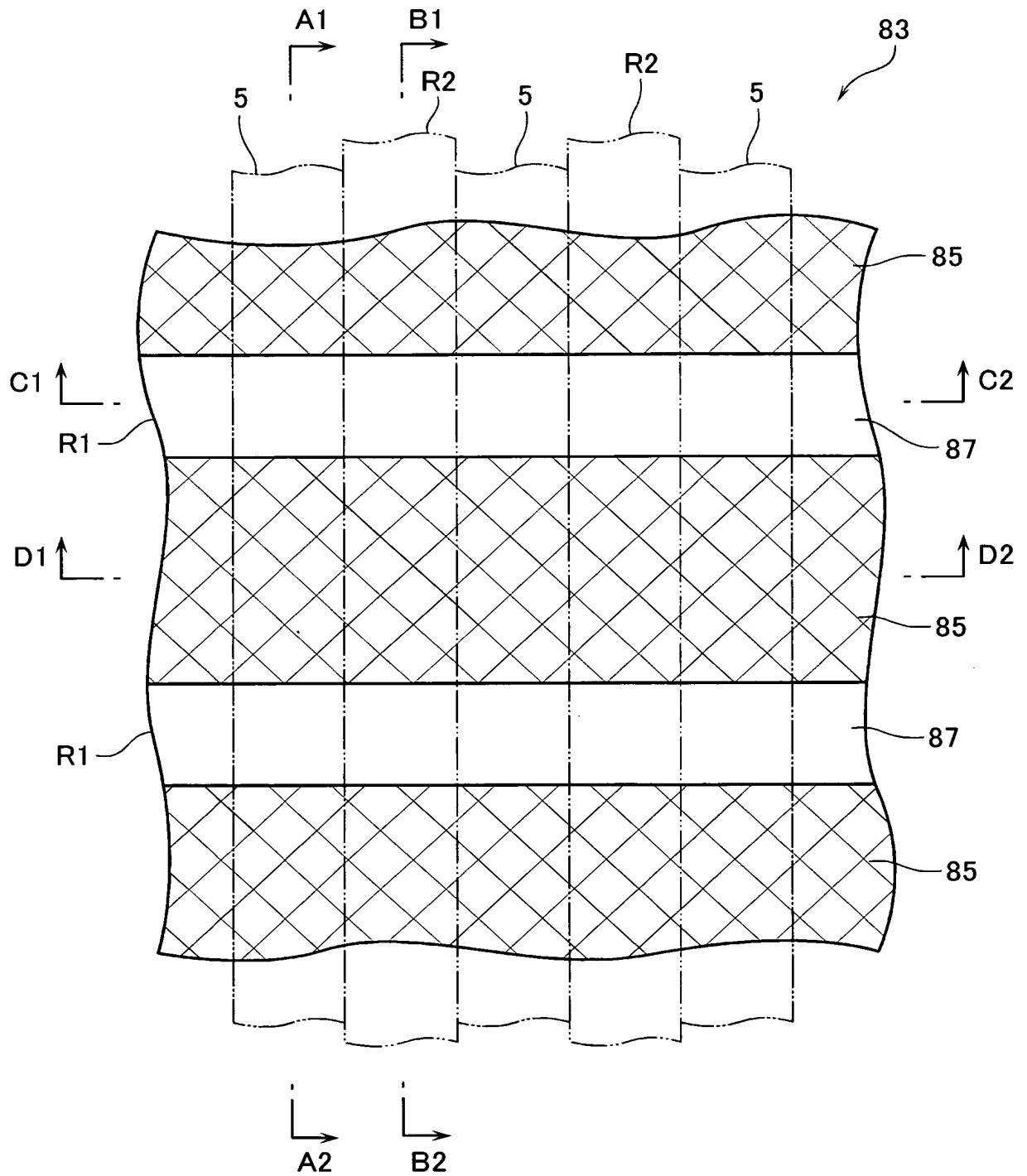
【図 26 D】



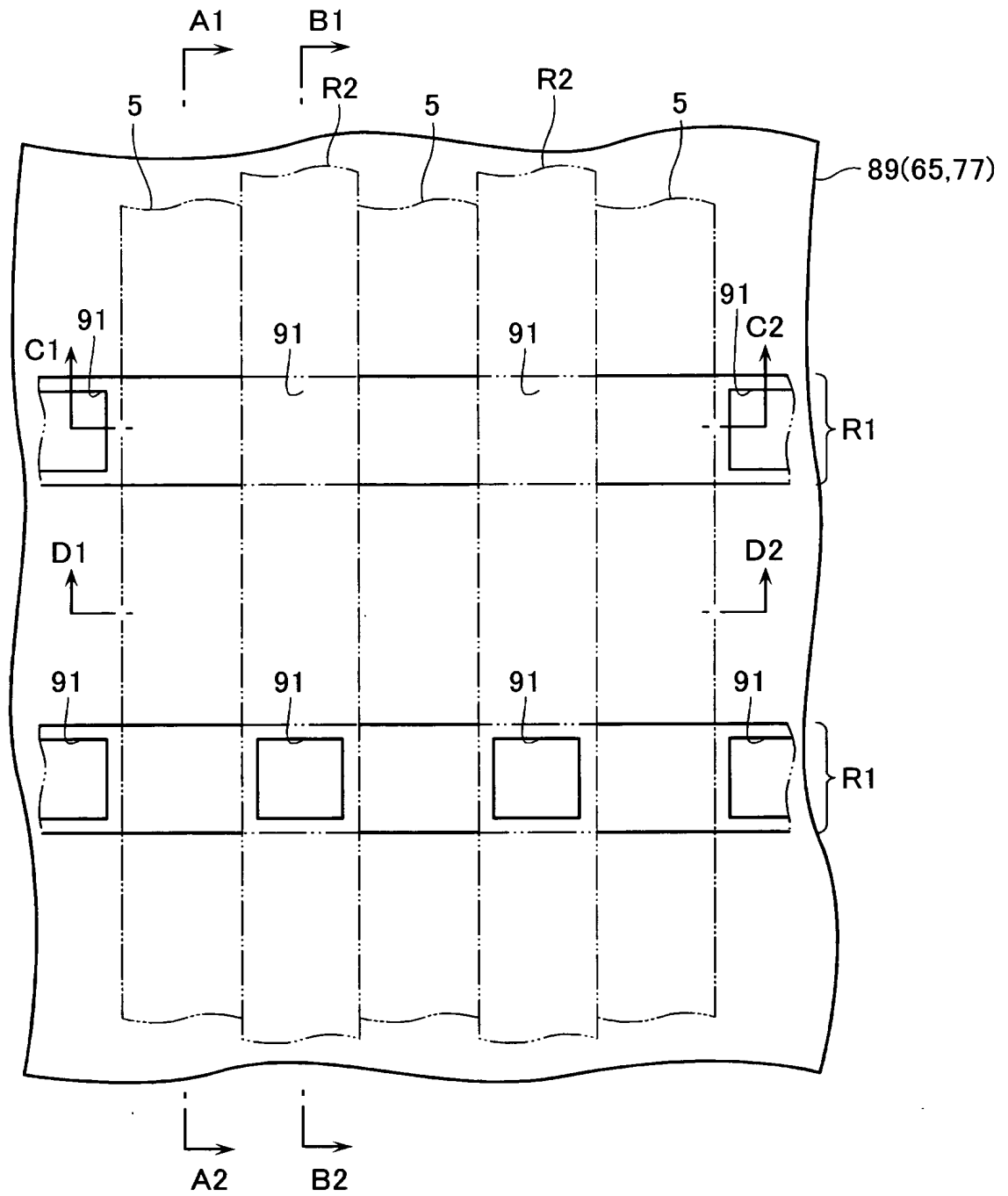
【図 27】



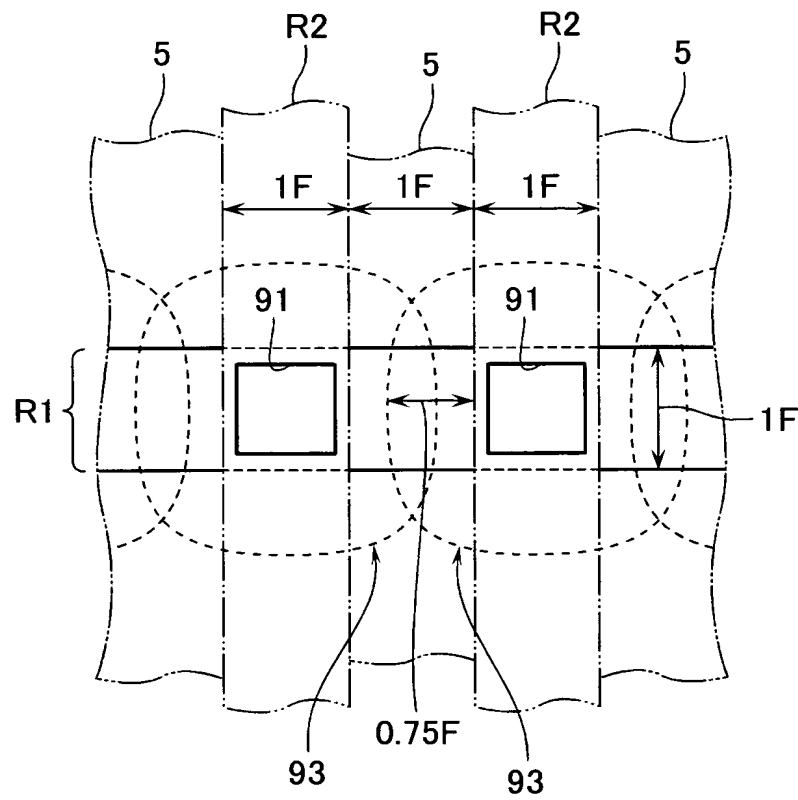
【図 28】



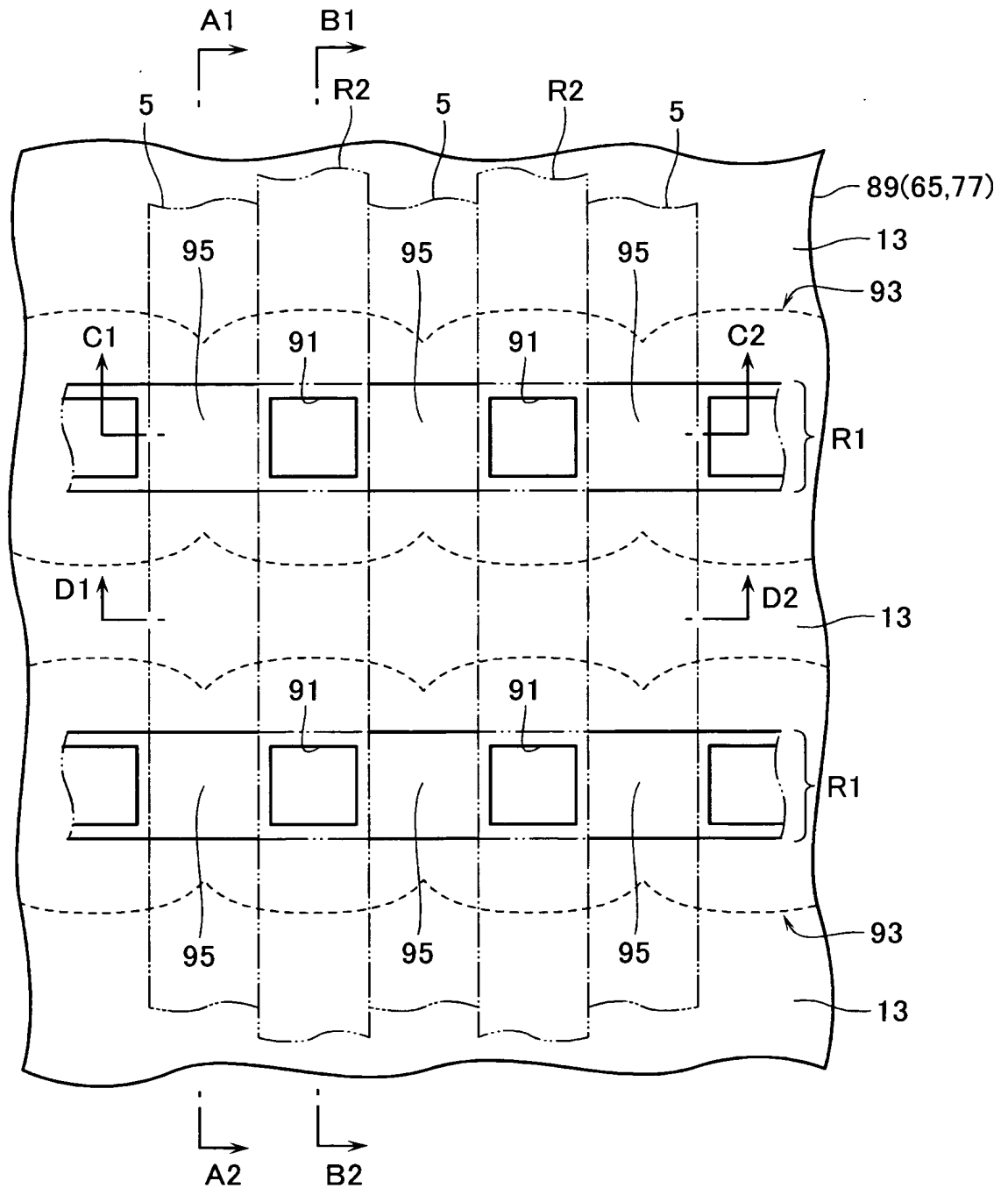
【図 29】



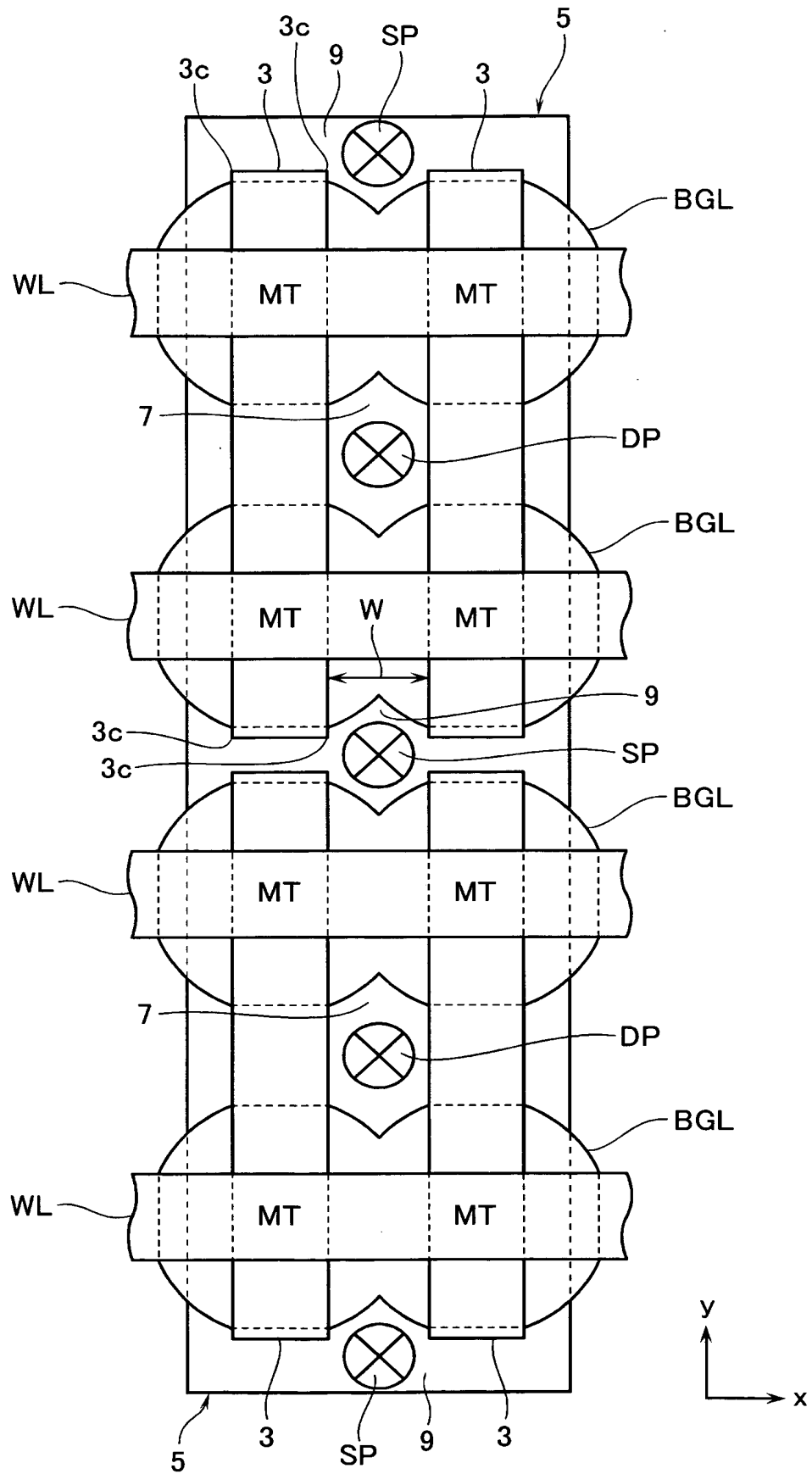
【図 30】



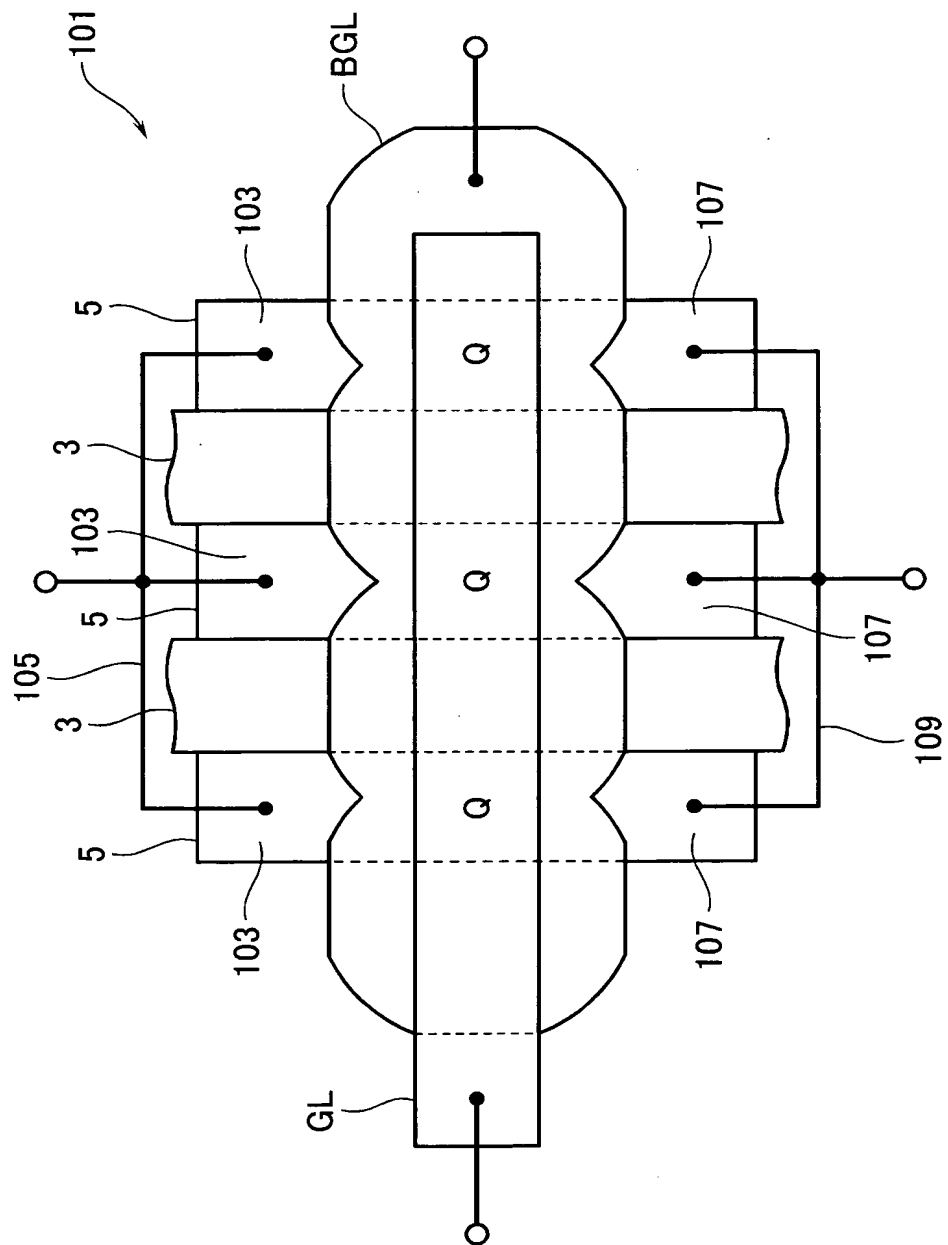
【図 31】



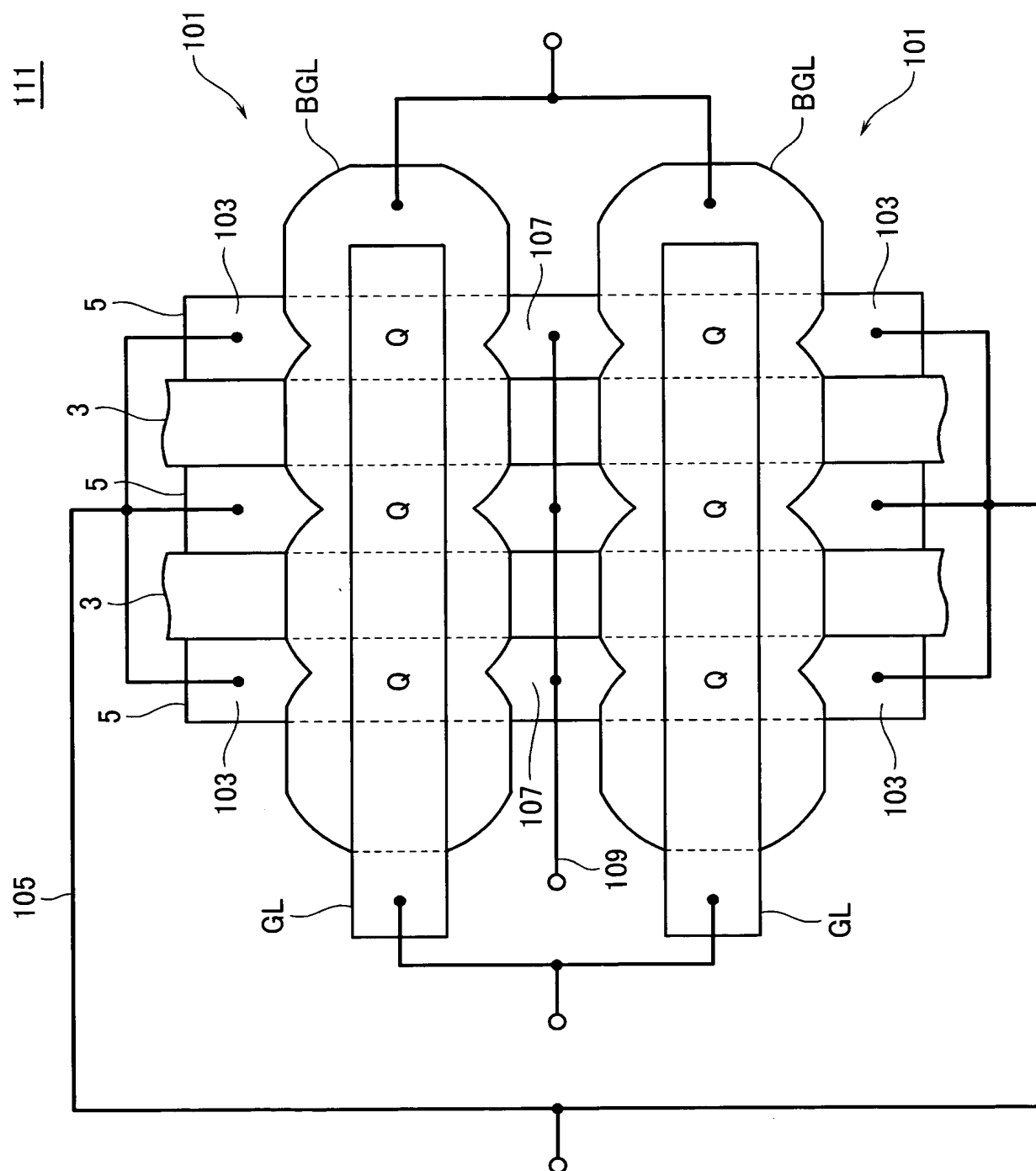
【図 3 2】



【図 33】



【図 34】



【書類名】 要約書

【要約】

【課題】 サイズを小さくできる半導体装置を提供する。

【解決手段】 記憶トランジスタMTは、SOI基板のシリコン層に形成されており、チャンネルボディの多数キャリア蓄積状態によりデータを記憶する。記憶トランジスタMTはバックゲート電極を有している。各バックゲート電極は、バックゲート線BGLに共通接続されている。バックゲート線BGLは、ワード線WL下のSOI基板の埋め込み酸化層を除去し、そこに形成されている。SOI基板のシリコン層（チャンネルボディ、ドレイン領域7、ソース領域9）は、ドレイン領域7やソース領域9下に残された埋め込み酸化層で支持されている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 9 4 3 2 1
受付番号	5 0 3 0 1 9 3 8 2 5 3
書類名	特許願
担当官	笹川 友子 9 4 8 2
作成日	平成 1 5 年 1 2 月 2 日

< 認定情報・付加情報 >

【提出日】	平成 15 年 11 月 25 日
-------	-------------------

特願 2 0 0 3 - 3 9 4 3 2 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝